

(translation of the front page of the priority document of  
Japanese Patent Application No.11-358857)

PATENT OFFICE  
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy of the  
following application as filed with this Office.

Date of Application: December 17, 1999

Application Number : Patent Application 11-358857

Applicant(s) : Canon Kabushiki Kaisha

January 28, 2000

Commissioner,

Patent Office

Takahiko KONDO

Certification Number 2000-3001980

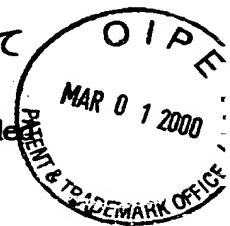
CFM 1763 US

GAU:2812

日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.



出 願 年 月 日

Date of Application:

1999年12月17日

出 願 番 号

Application Number:

平成11年特許願第358857号

RECEIVED

MAR 02 2000

TECHNOLOGY CENTER 2800

出 願 人

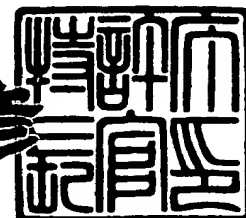
Applicant(s):

キヤノン株式会社

2000年 1月28日

特 許 庁 長 官  
Commissioner,  
Patent Office

近 藤 隆 彦



出証番号 出証特2000-3001980

出 願 人 履 歴 情 報

識別番号 [000001007]

1. 変更年月日 1990年 8月30日  
[変更理由] 新規登録  
住 所 東京都大田区下丸子3丁目30番2号  
氏 名 キヤノン株式会社

【書類名】 特許願

【整理番号】 4137007

【提出日】 平成11年12月17日

【あて先】 特許庁長官殿

【国際特許分類】 H01J 1/30

【発明の名称】 電子源及び画像表示装置の製造方法

【請求項の数】 13

【発明者】

    【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社  
社内

    【氏名】 竹上 毅

【特許出願人】

    【識別番号】 000001007

    【氏名又は名称】 キヤノン株式会社

【代理人】

    【識別番号】 100076428

    【弁理士】

    【氏名又は名称】 大塚 康徳

    【電話番号】 03-5276-3241

【選任した代理人】

    【識別番号】 100101306

    【弁理士】

    【氏名又は名称】 丸山 幸雄

    【電話番号】 03-5276-3241

【手数料の表示】

    【予納台帳番号】 003458

    【納付金額】 21,000円

【先の出願に基づく優先権主張】

    【出願番号】 平成10年特許願第365508号

【出願日】 平成10年12月22日

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704672

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電子源及び画像表示装置の製造方法

【特許請求の範囲】

【請求項 1】 基板上に、複数の行配線と、複数の列配線と、前記複数の両配線によりマトリクス配線された、ギャップを隔てて配置された一对の導電膜の複数対とを形成する工程と、

活性化物質源の存在下で、前記複数の行配線のうち任意の行配線を選択し、この選択された行配線に接続されている複数の導電膜対の各々に略一定の電圧を印加する第 1 の電圧印加工程と、

非選択行配線に接続されている複数の導電膜対のうち少なくとも特定の導電膜対に所定の電圧を印加する第 2 の電圧印加工程と、  
を有することを特徴とする電子源の製造方法。

【請求項 2】 基板上に、複数の行配線と、複数の列配線と、前記複数の両配線によりマトリクス配線された、ギャップを隔てて配置された一对の導電膜の複数対とを形成する工程と、

活性化物質源の存在下で、前記複数の行配線のうち任意の行配線を選択し、前記複数の列配線に、前記選択行配線による電圧降下の影響を補償するように設定された電圧を印加する第 1 の電圧印加工程と、

非選択行配線に接続されている複数の導電膜対のうち少なくとも特定の導電膜対に所定の電圧を印加する第 2 の電圧印加工程と、  
を有することを特徴とする電子源の製造方法。

【請求項 3】 基板上に、複数の行配線と、複数の列配線と、前記複数の両配線によりマトリクス配線された、電子放出部を有する導電膜の複数対とを形成する工程と、

活性化物質源の存在下で、前記複数の行配線のうち任意の行配線を選択し、この選択行配線及び前記複数の列配線を介して前記選択行配線に接続されている複数の導電膜対の各々に略一定の電圧を印加する第 1 の電圧印加工程と、

非選択行配線に接続されている複数の導電膜対のうち少なくとも特定の導電膜対に所定の電圧を印加する第 2 の電圧印加工程と、

を有することを特徴とする電子源の製造方法。

【請求項 4】 基板上に、複数の行配線と、複数の列配線と、前記複数の両配線によりマトリクス配線された、電子放出部を有する導電膜の複数とを形成する工程と、

活性化物質源の存在下で、前記複数の行配線のうち任意の行配線を選択し、前記複数の列配線に、該選択行配線による電圧降下の影響を補償するように設定された電圧を印加する第 1 の電圧印加工程と、

非選択行配線に接続されている複数の導電膜対のうち少なくとも特定の導電膜対に所定の電圧を印加する第 2 の電圧印加工程と、  
を有することを特徴とする電子源の製造方法。

【請求項 5】 更に、前記列配線に流れる電流を検出する工程を有することを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の電子源の製造方法。

【請求項 6】 前記電流を検出する工程は、前記第 1 の電圧印加工程時に前記列配線を流れる電流を検出する工程であることを特徴とする請求項 5 に記載の電子源の製造方法。

【請求項 7】 更に、前記行配線及び前記列配線に流れる電流を検出する工程を有することを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の電子源の製造方法。

【請求項 8】 前記電流を検出する工程は、前記第 1 の電圧印加工程時に前記行配線及び前記列配線を流れる電流を検出する工程であることを特徴とする請求項 7 に記載の電子源の製造方法。

【請求項 9】 前記活性化物質源は、前記導電膜上に堆積することにより放出電流を増加せしめる物質を含有するものであることを特徴とする請求項 1 乃至 8 のいずれか 1 項に記載の電子源の製造方法。

【請求項 10】 前記活性化物質源は、炭素化合物であることを特徴とする請求項 1 乃至 8 のいずれか 1 項に記載の電子源の製造方法。

【請求項 11】 前記第 1 の電圧印加工程は、前記複数の行配線を順次選択して前記電圧の印加が行われることを特徴とする請求項 1 乃至 10 のいずれか 1 項に記載の電子源の製造方法。

【請求項 1 2】 前記第 2 の電圧印加工程は、非選択行配線に接続されている複数の導電膜の全てに前記電圧の印加が行われることを特徴とする請求項 1 乃至 1 1 のいずれか 1 項に記載の電子源の製造方法。

【請求項 1 3】 基板上に、複数の行配線と、複数の列配線と、前記複数の両配線によりマトリクス配線された複数の電子放出素子とを有する電子源と、前記電子源から電子が照射される蛍光膜とを備える画像表示装置の製造方法において、

前記電子源が請求項 1 乃至 1 2 のいずれか 1 項に記載の方法にて製造されることを特徴とする画像表示装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、複数の電子放出素子を配列した電子源及びそれを用いた画像表示装置電子源の製造方法及び、その活性化装置に関するものである。

【0 0 0 2】

【従来の技術】

従来から、電子放出素子として熱陰極素子と冷陰極素子の 2 種類が知られている。このうち冷陰極素子では、例えば表面伝導型放出素子や、電界放出型素子（以下 F E 型と記す）や、金属／絶縁層／金属型放出素子（以下 M I M 型と記す）などが知られている。

【0 0 0 3】

F E 型の例としては、例えば、W. P. Dyke & W. W. Dolan, "Field emission", Advance in Electron Physics, 8, 89 (1956) や、或は、C. A. Spindt, "Physical properties of thin-film field emission cathodes with molybdenum cones", J. Appl. Phys., 47, 5248 (1976) などが知られている。

【0 0 0 4】

また、M I M 型の例としては、例えば、C. A. Mead, "Operation of tunnel-emission Devices", J. Appl. Phys., 32, 646 (1961) などが知られている。

【0 0 0 5】



表面伝導型放出素子としては、例えば、M. I. Elinson, Radio E-ng. Electron Phys., 10, 1290, (1965)や、後述する他の例が知られている。

#### 【0006】

表面伝導型放出素子は、基板上に形成された小面積の薄膜に、膜面に平行に電流を流すことにより電子放出が生ずる現象を利用するものである。この表面伝導型放出素子としては、エリンソン(Elinson)等による $\text{SnO}_2$ 薄膜を用いたものの他に、Au薄膜によるもの[G. Dittmer: "Thin Solid Films", 9,317 (1972)]や、 $\text{In}_2\text{O}_3/\text{SnO}_2$ 薄膜によるもの[M. Hartwell and C. G. Fonstad: "IEE Trans. ED Conf.", 519 (1975)]や、カーボン薄膜によるもの[荒木久 他: 真空、第26巻、第1号、22 (1983)]等が報告されている。

#### 【0007】

これらの表面伝導型放出素子の素子構成の典型的な例として、図24に前述のM. Hartwellらによる素子の平面図を示す。同図において、3001は基板で、3004はスパッタで形成された金属酸化物よりなる導電性薄膜である。導電性薄膜3004は図示のようにH字形の平面形状に形成されている。この導電性薄膜3004に、後述の通電フォーミングと呼ばれる通電処理を施すことにより、電子放出部3005が形成される。図中の間隔Lは、0.5～1 [mm]，幅Wは、0.1 [mm]に設定されている。尚、図示の便宜から、電子放出部3005は導電性薄膜3004の中央に矩形の形状で示したが、これは模式的なものであり、実際の電子放出部の位置や形状を忠実に表現しているわけではない。

#### 【0008】

M. Hartwellらによる素子をはじめとして上述の表面伝導型放出素子においては、電子放出を行う前に導電性薄膜3004に通電フォーミングと呼ばれる通電処理を施すことにより電子放出部3005を形成するのが一般的であった。即ち、通電フォーミングとは、導電性薄膜3004の両端に一定の直流電圧、もしくは、例えば1V/分程度の非常にゆっくりとしたレートで昇圧する直流電圧を印加して通電し、導電性薄膜3004を局所的に破壊もしくは変形もしくは変質せしめ、電氣的に高抵抗な状態の電子放出部3005を形成することである。尚、局所的に破壊もしくは変形もしくは変質した導電性薄膜3004の一部には、亀

裂が発生する。この通電フォーミング後に導電性薄膜 3 0 0 4 に適宜の電圧を印加した場合には、この亀裂付近において電子放出が行われる。

【 0 0 0 9 】

上述の表面伝導型放出素子は、構造が単純で製造も容易であることから、大面積に互り多数の素子を形成できる利点がある。そこで、例えば本願出願人による特開昭 6 4 - 3 1 3 3 2 号公報において開示されるように、多数の素子を配列して駆動するための方法が研究されている。

【 0 0 1 0 】

また、表面伝導型放出素子の応用については、例えば、画像表示装置、画像記録装置などの画像形成装置や、荷電ビーム源、等が研究されている。

【 0 0 1 1 】

特に、画像表示装置への応用としては、例えば本出願人による U S P 5, 0 6 6, 8 8 3 公報や特開平 2 - 2 5 7 5 5 1 号公報において開示されているように、表面伝導型放出素子と電子の照射により発光する蛍光体とを組み合わせ用いた画像表示装置が研究されている。この表面伝導型放出素子と蛍光体とを組み合わせ用いた画像表示装置は、従来の他の方式の画像表示装置よりも優れた特性が期待されている。例えば、近年普及してきた液晶表示装置と比較しても、自発光型であるためバックライトを必要としない点や、視野角が広い点が優れていると言える。

【 0 0 1 2 】

本願発明者らは、上記従来例に記載したものをはじめとして、さまざまな材料、製法、構造の表面伝導型放出素子を試みてきた。更に、多数の表面伝導型放出素子を配列したマルチ電子源、並びにこのマルチ電子源を応用した画像表示装置について研究を行ってきた。

【 0 0 1 3 】

発明者らは、例えば図 2 5 に示す電氣的な配線方法によるマルチ電子源を試みてきた。即ち、表面伝導型放出素子を 2 次元的に多数個配列し、これらの素子を図示のようにマトリクス状に配線したマルチ電子源である。

【 0 0 1 4 】

図中、4 0 0 1 は表面伝導型放出素子を模式的に示したもの、4 0 0 2 は行配線、4 0 0 3 は列配線である。これら行配線 4 0 0 2 及び列配線 4 0 0 3 は、実際には有限の電気抵抗を有するものであるが、図においては配線抵抗 4 0 0 4 及び 4 0 0 5 として示されている。上述のような配線方法を単純マトリクス配線と呼ぶ。なお、図示の便宜上、 $6 \times 6$  のマトリクスで示しているが、マトリクスの規模はむろんこれに限ったわけではなく、例えば画像表示装置用のマルチ電子源の場合には、所望の画像表示を行うのに足りるだけの素子を配列し配線するものである。

#### 【 0 0 1 5 】

このように表面伝導型放出素子を単純マトリクス配線したマルチ電子源においては、所望の電子ビームを出力させるため、行配線 4 0 0 2 及び列配線 4 0 0 3 に適宜の電気信号を印加する。例えば、マトリクスの中の任意の 1 行の表面伝導型放出素子を駆動するには、選択する行の行配線 4 0 0 2 には選択電圧  $V_s$  を印加し、同時に非選択の行の行配線 4 0 0 2 には非選択電圧  $V_{ns}$  を印加する。これと同期して列配線 4 0 0 3 に電子を放出させるための駆動電圧  $V_e$  を印加する。この方法によれば、配線抵抗 4 0 0 4 及び 4 0 0 5 による電圧降下を無視すれば、選択する行の表面伝導型放出素子には、 $(V_e - V_s)$  の電圧が印加され、また非選択行の表面伝導型放出素子には  $(V_e - V_{ns})$  の電圧が印加される。ここで、これら  $V_e$ ,  $V_s$ ,  $V_{ns}$  を適宜の大きさの電圧値にすれば、選択する行の表面伝導型放出素子だけから所望の強度の電子が出力されるはずであり、また列配線の各々に異なる駆動電圧  $V_e$  を印加すれば、選択する行の素子の各々から異なる強度の電子が出力されるはずである。また、表面伝導型放出素子の応答速度は高速であるため、駆動電圧  $V_e$  を印加する時間の長さを変えれば、電子ビームが出力される時間の長さも変えることができるはずである。

#### 【 0 0 1 6 】

従って、表面伝導型放出素子を単純マトリクス配線したマルチ電子源にはいろいろな用途が考えられており、例えば画像情報に応じた電圧信号を適宜印加すれば、画像表示装置用の電子源として応用できるものと期待される。

#### 【 0 0 1 7 】

一方、本願発明者らは表面伝導型放出素子の特性を改善するための研究を鋭意行った結果、製造工程において通電活性化処理を行うことが効果的であることを見いだした。

【 0 0 1 8 】

既に述べたように、表面伝導型放出素子の電子放出部を形成する際には、導電性薄膜に電流を流して該薄膜を局所的に破壊もしくは変形もしくは変質させて亀裂を形成する処理（通電フォーミング処理）を行う。この後更に通電活性化処理を行うことにより電子放出特性を大幅に改善することが可能である。

【 0 0 1 9 】

即ち、通電活性化処理とは通電フォーミング処理により形成された電子放出部に適宜の条件で通電を行って、その近傍に炭素もしくは炭素化合物を堆積せしめる処理のことでのマイナス 5 乗 [torr] の真空雰囲気中において、電圧パルスを定期的に印加することにより、電子放出部の近傍に単結晶グラファイト、多結晶がグラファイト、非晶質カーボンのいずれかか、もしくはその混合物を 5 0 0 [オングストローム] 以下の膜厚で堆積させる。但し、この条件はほんの一例であって、表面伝導型放出素子の材質や形状により適宜変更されるべきであるのは言うまでもない。この様な処理を行うことにより、通電フォーミング直後と比較して、同じ印加電圧における放出電流を典型的には 1 0 0 倍以上増加させることが可能である。なお、通電活性化終了後には、真空雰囲気中の有機物の分圧を低減させるのが望ましい。従って、上述の多数の表面伝導型放出素子を単純マトリクス配線したマルチ電子源を製造する際においても、各素子に通電活性化処理を行うのが望ましいことは言うまでもない。

【 0 0 2 0 】

このような通電活性化処理工程を付加することで、表面伝導型放出素子の電子放出特性の安定化が計られたが、これを単純マトリックス配線などのマルチ表面伝導型放出素子に適用した場合には、以下のような問題があった。

【 0 0 2 1 】

例えば、 $m$  行  $n$  列の単純マトリックス配線により、これら表面伝導型放出素子が配列されている場合、1 行～ $m$  行までの行配線の順に一定時間毎に通電して活

性化していくことになる。この単純マトリックス配線された電子放出送出素子が活性化される際の等価回路を図 2 6 に示す。この図 2 6 は、2 行目の行配線に接続された素子に対して、活性化のための電圧波形を印加している状態を示している。

#### 【0 0 2 2】

また図 2 7 は、この活性化処理における印加電圧信号の波形を示す図で、パルス幅が  $T_1$  で、周期  $T_2$  の電圧値  $V_{f0}$  の電圧波形が印加されている。ここで各行配線における活性化時間は、図 2 8 に示したような各素子の活性化特性等から求めて決定される。しかし、大規模マトリックス状に配線された素子に対して行単位の通電活性化を行なう場合は問題があった。

#### 【0 0 2 3】

即ち、マトリックス配線が大規模となると、配線抵抗による電圧降下の影響が大きくなり、十分な電圧が印加できない素子が存在し、各素子の電子放出素子特性がばらついてしまう。

#### 【0 0 2 4】

各素子に均一な電子放出特性を持たせるためには、各素子に対して均一な電圧印加することが必要であるが、マトリックスサイズが大きくなると行配線の配線抵抗の影響により大きな電圧降下が生じるため、所定の電圧を印加できなくなる。特に行配線の略中央部の素子に対して所望の電圧が印加できないため、十分な活性化が行えない素子が形成され、マトリックス配線された素子の特性にばらつきが生じる。

#### 【0 0 2 5】

図 2 9 (a) (b) は、マトリックス配線での電圧降下を模式的に示す図である。図 2 9 (a) は、図 2 6 に示された  $m$  行  $\times$   $n$  列の単純マトリックス配線において、2 行目の素子を電圧値  $V_{f0}$  で通電活性化した場合の、各素子に印加される電圧を模式的に示している。いま 2 行 1 列目の素子を  $F(2, 1)$ 、2 行 2 列目の素子を  $F(2, 2)$ 、2 行 3 列目の素子を  $F(2, 3)$  とし、図 2 9 の横軸は列番号 (画素番号) を示した。ここでは図 2 6 に示すように行配線の両側から電圧が印加されているため、略中央の  $k$  列目で最も電圧降下の影響が大きく、素

子  $F(2, k)$  に印加される電圧値は  $V_{fk} (< V_{f0})$  となっている。即ち、この素子には印加しようとする電圧  $V_{f0}$  よりも  $V_{fdf} (= V_{f0} - V_{fk})$  だけ小さい電圧値が印加されることとなる。

## 【 0 0 2 6 】

以上のような配線抵抗に起因する電圧降下の影響は、列配線側の電極より印加する電圧を変えることにより除去することができる。これを示したのが図 2 9 (b) で、この図は列配線側の電極側より印加する電圧により、この電圧降下分を補償する例を示し、また図 3 0 は、列配線側の電極より電圧降下の影響補償のための電圧を印加する場合の模式図を示す。この図 3 0 は、 $m$  行  $\times$   $n$  列の単純マトリックス配線の素子構成において、2 行目の素子のみを活性化している状態を示している。

## 【 0 0 2 7 】

しかし、上記方法を用いると、有機物が存在する真空下（以下では、活性化雰囲気と呼ぶ）で、選択したライン以外の素子に補償電圧が印加され続ける状態となるため、選択したライン以外の素子が低抵抗化してしまい、無効な電流が流れてしまう。

## 【 0 0 2 8 】

この無効電流について、図 3 0 を用いて詳細に説明する。図において、2 行目の行配線には  $V_f$  の波高値のパルス電圧を印加し、列配線には 1 列目に電圧  $V_{fd1}$ 、2 列目に電圧  $V_{fd2}$ 、3 列目に電圧  $V_{fd3}$ 、 $\dots$ 、 $n$  列目に電圧  $V_{fdn}$  をそれぞれ印加し、2 行目の各素子に対して印加される電圧値が略  $V_f$  となるように設定している。また、その他の行配線は全て 0 V、即ち接地されている。これにより、素子  $F(2, 1)$ 、 $F(2, 2)$ 、 $F(2, 3)$ 、 $\dots$ 、 $F(2, n)$  には活性化電圧  $V_f$  が印加されるが、2 行目の行配線に接続された素子以外の素子に対しては、1 列目の素子には電圧  $V_{fd1}$  が、2 列目の素子には電圧  $V_{fd2}$  が、 $n$  列目の素子には電圧  $V_{fdn}$  が印加され続けることになる。このように選択された行配線に接続された素子以外に電圧が印加されている素子を半選択素子と定義する。このように、列配線から電圧を印加することによって電圧補償を行うと、選択素子以外に電圧が印加され続けることがわかる。次に、この選択素子以外に電圧が印加

され続けることにより発生する素子の低抵抗化について説明する。

#### 【0029】

ここでも、この活性化雰囲気における素子の典型的な  $I-V$  特性、即ち、素子に印加される電圧  $V_f$  と電流  $I_f$  の関係について説明する。表面伝導型放出素子の典型的な  $I-V$  特性、即ち、素子に流れる電流 ( $I_f$ ) と素子に印加される電圧 ( $V_f$ ) との関係について図 3 1 を用いて説明する。

#### 【0030】

この表面伝導型放出素子は、適宜の分圧の有機物が存在する雰囲気の下においては、その素子に印加される電圧 ( $V_f$ ) に対して素子に流れる電流 ( $I_f$ ) は必ずしも一義的に定まるものではない。その特性には大別して 2 つの型があるが、この内、第 1 の型においては素子に流れる電流 ( $I_f$ ) は、印加電圧 ( $V_f$ ) を 0 V から増加させてゆくにつれて一旦は増加するが、その後、電流が減少に転じ、更にその後はほぼ一定若しくは微増傾向を示す。一方、第 2 の型においては、その素子に流れる電流 ( $I_f$ ) は、印加電圧 ( $V_f$ ) を 0 V から増加させていくにつれて常に増加傾向を示すものである。

#### 【0031】

説明の便宜上、前記第 1 の型を静特性、前記第 2 の型を動特性と呼ぶ。図 3 1 において、破線は約 1 V/分以下の電圧掃引スピードで得られる静特性を示している。つまり、 $V_f = 0 \sim V_1$  の領域 (領域 A) では、素子に流れる素子電流 ( $I_f$ ) は素子電圧 ( $V_f$ ) の増加に伴って単調増加し、 $V_1$  で最大になる。また素子電圧  $V_f = V_1 \sim V_2$  の領域 (領域 B) では、素子に流れる電流 ( $I_f$ ) は、素子電圧 ( $V_f$ ) の増加に伴って減少する、所謂、電圧制御型負性抵抗特性 (以下、V C N R (Voltage Controlled Negative Resistance) 特性という) を示す。更に、素子電圧  $V_f = V_2 \sim V_d$  の領域 (領域 C) では、素子に流れる電流 ( $I_f$ ) は電圧 ( $V_f$ ) の増加に対してほとんど変化しない。なお、電圧値  $V_1$  は素子電流  $I_f$  の極大値を示す時の素子電圧値を示し、 $V_2$  は素子電流  $I_f$  の減少曲線の接線のうち最大傾き接線の  $V_f$  軸切片である。一方、素子からの放出電流 ( $I_e$ ) の増加に伴い、 $V_e$  を電子放出閾値として増加していく。

#### 【0032】

また、図 3 1 の実線 7 0 0 は、約 1 0 V / 秒以上の電圧掃引スピードで得られる動特性を示している。つまり最大素子電圧が  $V_d$  で掃引した場合 ( $I_f(V_d)$  曲線参照)、素子電圧  $V_e$  付近から素子に流れる電流 ( $I_f$ ) が徐々に増加し、素子電圧  $V_d$  で静特性を示す素子電流  $I_f$  とほぼ一致する素子電流値が得られている。また実線 7 0 1 は、最大電圧  $V_2$  で掃引した場合 ( $I_f(V_2)$  曲線参照) を示しており、領域 A、B において素子電流  $I_f$  は徐々に増加し、素子電圧  $V_2$  において静特性の  $I_f$  とほぼ一致する素子電流  $I_f$  が得られている。また、最大電圧を上記の領域 A の最大電圧で掃引すると、点線で示す静特性の  $I_f$  カーブとほぼ一致する特性を示す。もちろん、上記  $I-V$  特性に関する静特性、動特性は、素子を構成する材料、素子形態などを変えることにより変化するが、一般に良好な電子放出特性を有する表面伝導型放出素子は、上記 2 つの特性を有していると考えてよい。

## 【 0 0 3 3 】

以上説明したように、個別素子を活性化するために上述したような単純マトリックス駆動をすると、選択した所望の素子以外にも電圧が印加されることになる。このため、図 3 1 から明らかなように、所望の素子以外に印加される電圧により多大な無効電流が流れてしまう。このような無効電流のため、活性化装置を大型にする必要が生じるだけでなく、表示パネルの発熱を招き素子の劣化を加速してしまうという可能性も生ずる。更に、基板の材質によっては、熱応力によって破壊に至ることも考えられる。

## 【 0 0 3 4 】

本発明は以上の点に鑑みなされたもので、本発明の目的は、互いに均一な電子放出特性をもつ複数の電子放出素子を備える電子源とそれを用いた画像表示装置の製造方法を提供することにある。

## 【 0 0 3 5 】

また、本発明の目的は、輝度ばらつきの少ない画像表示装置の製造方法を提供することにある。

## 【 0 0 3 6 】

また本発明は、複数の電子放出素子を備えた電子源及びそれを用いた画像表示



装置の製造時における通電工程において、無効電流を減少させることを目的とする。

【 0 0 3 7 】

また本発明は、複数の電子放出素子を備えた電子源及びそれを用いた画像表示装置の製造時における通電工程において、用いられる装置の電源容量を小さくすることを目的とする。

【 0 0 3 8 】

更に本発明の他の目的は、製造時及び駆動時における電子放出素子の劣化を防止した電子源とそれを用いた画像表示装置の製造方法を提供することにある。

【 0 0 3 9 】

【課題を解決するための手段】

上記目的を達成するために本発明の電子源の製造方法は以下のような工程を備える。即ち、

基板上に、複数の行配線と、複数の列配線と、前記複数の両配線によりマトリクス配線された、ギャップを隔てて配置された一対の導電膜の複数対とを形成する工程と、

活性化物質源の存在下で、前記複数の行配線のうち任意の行配線を選択し、この選択された行配線に接続されている複数の導電膜対の各々に略一定の電圧を印加する第 1 の電圧印加工程と、

非選択行配線に接続されている複数の導電膜対のうち少なくとも特定の導電膜対に所定の電圧を印加する第 2 の電圧印加工程とを有することを特徴とする。

【 0 0 4 0 】

また、本発明は、

基板上に、複数の行配線と、複数の列配線と、前記複数の両配線によりマトリクス配線された、ギャップを隔てて配置された一対の導電膜の複数対とを形成する工程と、

活性化物質源の存在下で、前記複数の行配線のうち任意の行配線を選択し、前記複数の列配線に、該選択行配線による電圧降下の影響を補償するように設定された電圧を印加する第 1 の電圧印加工程と、

非選択行配線に接続されている複数の導電膜対のうち少なくとも特定の導電膜対に所定の電圧を印加する第 2 の電圧印加工程とを有することを特徴とする。

【0 0 4 1】

また、本発明は、

基板上に、複数の行配線と、複数の列配線と、前記複数の両配線によりマトリクス配線された、電子放出部を有する導電膜の複数とを形成する工程と、

活性化物質源の存在下で、前記複数の行配線のうち任意の行配線を選択し、この選択行配線に接続されている複数の導電膜対の各々に略一定の電圧を印加する第 1 の電圧印加工程と、

非選択行配線に接続されている複数の導電膜対のうち少なくとも特定の導電膜対に所定の電圧を印加する第 2 の電圧印加工程とを有することを特徴とする。

【0 0 4 2】

また、本発明は、

基板上に、複数の行配線と、複数の列配線と、前記複数の両配線によりマトリクス配線された、電子放出部を有する導電膜の複数とを形成する工程と、

活性化物質源の存在下で、前記複数の行配線のうち任意の行配線を選択し、前記複数の列配線に、該選択行配線による電圧降下の影響を補償するように設定された電圧を印加する第 1 の電圧印加工程と、

非選択行配線に接続されている複数の導電膜対のうち少なくとも特定の導電膜対に所定の電圧を印加する第 2 の電圧印加工程とを有することを特徴とする。

【0 0 4 3】

また、上記本発明の製造方法は更なる特徴として、

更に、前記列配線に流れる電流、あるいは、前記行配線及び前記列配線に流れる電流、を検出する工程を有すること、

また、前記電流を検出する工程は、前記第 1 の電圧印加工程時に、前記列配線を流れる電流、あるいは、前記行配線及び前記列配線を流れる電流、を検出する工程であること、

前記活性化物質源は、前記導電膜上に堆積することにより放出電流を増加せしめる物質を含有するもの、あるいは、炭素化合物、であること、

前記第 1 の電圧印加工工程は、前記複数の行配線を順次選択して前記電圧の印加が行われること、

前記第 2 の電圧印加工工程は、非選択行配線に接続されている複数の導電膜の全てに前記電圧の印加が行われること、  
をも含むものである。

【 0 0 4 4 】

また、更に本発明は、

基板上に、複数の行配線と、複数の列配線と、前記複数の両配線によりマトリクス配線された複数の電子放出素子とを有する電子源と、前記電子源から電子が照射される蛍光膜とを備える画像表示装置の製造方法において、

前記電子源が以上述べた方法にて製造されることを特徴とする画像表示装置の製造方法でもある。

【 0 0 4 5 】

ここで、本発明の製造方法により作成される電子源は、複数の行配線と複数の列配線とによって、複数の電子放出素子がマトリクス配線された構成を有する電子源であるが、この電子源の前記電子放出素子は、電子放出部を有する導電膜を備えている。この電子放出素子の好ましい形態としては、一対の導電膜がギャップを隔てて配置されており、前記一対の導電膜のうちの少なくとも一方の導電膜上に活性化物質が被覆されている。また、前記電子放出素子のより好ましい形態としては、一対の導電膜が第 1 のギャップを隔てて配置されており、更に、該一対の導電膜の少なくとも一方の導電膜上と該第 1 のギャップ内とに活性化物質の膜が、該第 1 のギャップよりも狭い第 2 のギャップを形成して配置されている電子放出素子である。かかるより好ましい形態を有する電子放出素子の一例としては後述する構成の表面伝導型放出素子が挙げられる。また、前記活性化物質は上記導電膜上、あるいは、該導電膜上と前記第 1 のギャップ内に配置されて、とりわけ、放出電流量を増加し、素子を活性化するものであるが、好ましくは炭素を主成分とする膜である。

【 0 0 4 6 】

【発明の実施の形態】

以下、添付図面を参照して本発明の好適な実施の形態を詳細に説明する。

【0047】

〔実施の形態 1〕

本実施の形態 1 では、表面伝導型放出素子をマトリックス状に配線し、配線抵抗による電圧降下を補償しながら素子の活性化を行う場合に生じる、非選択素子の低抵抗化現象をマトリックス全体で検出し、素子の低抵抗化現象が観察されると全ての素子に対して高抵抗化パルスを印加して活性化を行なっている。

【0048】

図 1 は、本実施の形態に係る表面伝導型放出素子の通電活性化装置の一例を示すブロック図である。

【0049】

図 1 において、101 は通電活性化をするために接続されているマルチ表面伝導型放出素子基板（本実施の形態における基板 101 には複数の表面伝導型放出素子がマトリックス状に配線されており、既にこれら素子のフォーミングが完了しているものとする）であり、不図示の真空排気装置に接続されており、この基板 101 を収容している容器は 10 の - 2 乗 ~ 10 の - 5 乗 [torr] 程度に真空排気されている。また、102 はライン選択部で、制御部 104 の指示に従って、活性化すべき行配線を選択し、その選択した行配線に電源 103 より電圧を印加している。110 はライン側電流検出部で、基板 101 の各行配線に流れる電流値を検出している。107 は画素側電流検出部で、基板 101 の各列配線に流れる電流値を検出している。制御部 104 は、電流検出部 107 で検出された電流値を取り込み、通電活性化のための電圧値を決定し、その電圧値を電源 103、画素側出力電圧アンプ 111 に設定するとともに、ライン選択部 102 及び、出力電圧アンプ 111 に含まれる画素選択部 111a を制御して、基板 101 の行方向及び列配線を選択を制御している。Dx1 ~ Dx<sub>m</sub> は電子源基板 101 の行配線端子を示し、Dy1 ~ Dy<sub>n</sub> は電子源基板 101 の列配線端子を示している。尚、制御部 104 のタイマ 104a は、後述する高抵抗の保持時間 T<sub>hr</sub> を計時するためのものである。尚、電源 156 は後述する実施の形態 2 において、列配線に高抵抗化パルスを印加するために使用されるもので、実施の形態 1 の構成では省略可

能である。

#### 【0050】

次に図2を用いて、ライン選択部102における動作を説明する。図2はライン選択部102の回路構成を示す回路図である。

#### 【0051】

ライン選択部102は、リレー、アナログスイッチなどのスイッチを有し、表面伝導型放出素子基板101上に $m$ 行 $\times$  $n$ 列の表面伝導型放出素子がマトリックス状に配置されているとき、 $SW_{x1}$ から $SW_{xm}$ のように $m$ 個のスイッチが並列に配設され、各スイッチの出力が電子源基板101の行配線端子 $D_{x1}$ から $D_{xm}$ のそれぞれに接続されている。またこれらスイッチは制御部104よりの制御信号150によりコントロールされ、通電活性化すべき行配線に電源103からの電圧波形が加わるように作動する。図2においては、1行目( $S_{x1}$ )のラインが選択され、行配線端子 $D_{x1}$ にのみ電圧が印加されており、他のライン(非選択行配線)はグラウンドに接続されている。

#### 【0052】

図3は、画素選択側出力電圧アンプ111の回路構成を示す回路図である。

#### 【0053】

この電圧アンプ111は、画素選択部111aと出力電圧ブロックとに分けられる。この画素選択部111aもライン選択部102と同様に、リレー、アナログスイッチ等で構成され、 $n$ 個のスイッチ $SW_{y1} \sim SW_{yn}$ が配置されており、この画素選択部111aの出力は電流検出部107を通じて電子源基板101の列配線端子 $D_{y1} \sim D_{yn}$ に接続されている。また、これらのスイッチ $SW_{y1} \sim SW_{yn}$ のそれぞれの切替えは制御部104からの制御信号151によりコントロールされ、通電活性化すべきラインに画素選択側電圧出力アンプ111からの電圧が印加されるように作動する。この図3においては、2列目の配線( $S_{y2}$ )が選択されており、その他の列配線はグラウンドに接続されている。

#### 【0054】

この画素選択側出力電圧アンプ111は出力電圧アンプを有し、基板101に $m$ 行 $\times$  $n$ 列の表面伝導型放出素子がマトリックス状に配置されているときは $n$ 個

の電圧アンプ 1 5 2 が配置されている。これら電圧アンプ 1 5 2 の出力 AMPy1 ~ AMPyn は、画素選択部 1 1 1 a、電流検出部 1 0 7 を通じて電子源基板 1 0 1 の列方向端子 Dy1 ~ Dyn に入力されている。なお、これら列配線に印加する電圧印加パターンは、電流検出部 1 1 0 により検出されるライン側の電流検出値、及び画素選択側電流検出部 1 0 7 により検出値に基づいて制御部 1 0 4 により設定され、制御信号端子 Cy1 ~ Cyn として画素選択側出力電圧アンプ 1 1 1 に入力される。

## 【 0 0 5 5 】

図 4 は、本実施の形態のライン側電流検出部 1 1 0 (a) 及び画素選択側電流検出部 1 0 7 (b) の構成を示すブロック図である。

## 【 0 0 5 6 】

図 4 (a) は、ライン側の電流検出部 1 1 0 の構成を示す回路図で、ライン選択部 1 0 2 から出力される電圧は、配線 Sx1 から Sxm を通して電流検出部 1 1 0 に入力される。この電流検出部 1 1 0 は、電流検出用の抵抗 R<sub>sx1</sub> から R<sub>sxm</sub> と、これら抵抗の両端に発生する電圧値を計測するための電圧計 (V) を有している。これにより制御部 1 0 4 は、各行配線に対応する電流検出用の抵抗 R<sub>sx1</sub> から R<sub>sxm</sub> のそれぞれに発生する電圧値を各電圧計から入力し、それら電圧値のそれぞれを各抵抗の抵抗値で割ることにより、各行配線を流れる電流値を求めることができる。

## 【 0 0 5 7 】

また図 4 (b) は、画素選択側の電流検出部 1 0 7 の構成を示すブロック図である。

## 【 0 0 5 8 】

画素電圧出力電圧アンプ 1 1 1 から出力される電圧信号は、配線 Sy1 から Syn を通して電流検出部 1 0 7 に入力される。この電流検出部 1 0 7 は検出用の抵抗 R<sub>sy1</sub> から R<sub>syn</sub> と、これら各抵抗の両端に発生する電圧を計測する電圧計を有している。これにより制御部 1 0 4 は、各列配線に対応する電流検出用の抵抗 R<sub>sy1</sub> から R<sub>syn</sub> のそれぞれに発生する電圧値を各電圧計から入力し、それら電圧値のそれぞれを各抵抗の抵抗値で割ることにより、各行配線を流れる電流値を求める

ことができる。

【 0 0 5 9 】

これら図 2、図 3 に示す例では、1 行 2 列目の素子 F ( 1 , 2 ) が選択されており、その他の行配線及び列配線は接地されているため、この 1 行 2 列目の素子以外には電流は流れない。従って、図 4 ( a ) において、1 行目の抵抗  $R_{sx1}$  と、図 4 ( b ) において 2 列目の抵抗  $R_{sy2}$  の両端にのみ電圧が発生し、その電圧値が  $V2$  であれば、1 行目の行配線に流れる電流  $I1$  は、

$$I1 = V2 / R_{sx1}$$

2 列目の列配線に流れる電流  $I1$  は、

$$I1 = V2 / R_{sy2}$$

で算出することができる。尚、抵抗  $R_{sx1}$  から  $R_{sxn}$  の抵抗値、及び抵抗  $R_{sy1}$  から  $R_{syn}$  の抵抗値は、電流  $I_f$  が流れるときの電圧降下によって表面伝導型放出素子基板 1 0 1 への印加電圧に影響を与えないように、十分低い値に設定してある。なお、これら電圧計により計測された電圧値は、A / D コンバータによりデジタル値に変換して制御部 1 0 4 に出力することができる。

【 0 0 6 0 】

以上のように、行配線側及び画素選択（列配線）側の両側から、各表面伝導型放出素子毎に、各素子を流れる電流値をモニタすることができる。

【 0 0 6 1 】

また、画素側選択部 1 1 1 a において、全ての列配線を接地することにより、各行配線単位で、その配線に流れる電流値を測定することができる。また更に、ライン側選択部 1 0 2 の全て行配線を接地することにより、列配線毎に各列配線を流れる電流値を測定することができる。

【 0 0 6 2 】

次に、制御部 1 0 4 から画素選択側に出力する補償電圧の決定方法について説明する。

【 0 0 6 3 】

図 5 は、 $m$  行  $\times$   $n$  列配線された表面伝導型放出素子の  $i$  行目の素子を活性化する場合を示す模式図である。

【0064】

いま、この  $i$  行目の行配線に印加される電圧値を  $V_f$ 、配線抵抗を  $R_1, R_2, R_3, \dots, R_n$  とし、各表面伝導型放出素子の抵抗を  $r_1, r_2, r_3, \dots, r_n$  とする。ここでは、その他の行配線は全て接地されているとする。

【0065】

$i$  行目の行（1ライン）の配線抵抗を  $R_{line\_i}$  とすると、

$$R_{line\_i} = \sum R_j \quad (j=1 \sim n) \quad \dots \text{式(1)}$$

となる。ここで  $i$  行目に流れる電流を  $I_f$ 、 $j$  列目の素子に流れる電流を  $i f(j)$  とすると、1列目の素子に印加される電圧  $V(1)$  は、

$$V(1) = V_f - R_1 \times I_f$$

となる。これは配線抵抗の影響により、1列目の素子に印加される電圧が、印加したい電圧  $V_f$  よりも  $R_1 \times I_f$  ( $V$ ) だけ小さくなっていることがわかる。同様に、2列目、3列目の素子に印加される電圧  $V(2)$ 、 $V(3)$  は、

$$V(2) = V(1) - R_2 \times (I_f - i f(1))$$

$$V(3) = V(2) - R_3 \times (I_f - i f(1) - i f(2))$$

で計算される。これにより  $k$  列目の素子（但し、 $k \leq m/2$ ）に印加される電圧  $V(k)$  は、

$$V(k) = V(k-1) - R_k \times (I_f - \sum i f(j)) \quad (j=1 \sim k-1) \quad \dots \text{式(2)}$$

により求めることができる。よって、 $k$  列目の素子に印加される電圧は、 $V_f$  よりも、

$$V_f - V(k) = V_f - V(k-1) + R_k \times (I_f - \sum i f(j)) \quad (j=1 \sim k-1)$$

$$= V_f - V(k-2) + R_{k-1} \times (I_f - \sum i f(j) + R_k \times (I_f - \sum i f(j)))$$

（最初の  $\sum i f(j)$  は  $j=1 \sim j=k-2$  の和、2番目の  $\sum i f(j)$  は  $j=1 \sim j=k-1$  の和）

$$= I_f \times (R_1 + R_2 + \dots + R_k) - (R_2 \times i f(1) + R_3 \times (i f(1) + i f(2)) + \dots + R_k \times \sum i f(j)) \quad (j=1 \sim k-1) \quad \dots \text{式(3)}$$

だけ電圧降下していることがわかる。前述の図 29 で示される電圧値  $V_{fdk}$  がこの電圧降下分 ( $V_f - V(k)$ ) に対応しており、この電圧降下分を列配線から印加することにより、配線抵抗による電圧降下を補償した活性化が行なえる。

【0066】



配線抵抗  $R_1, R_2, R_3, \dots, R_n$  は、実際の抵抗を測定することにより決定され、また  $i$  行目に流れる電流  $I_f$ 、 $j$  列目に流れる電流  $I_f(j)$  のそれぞれは、活性化中に、ライン側電流検出部 110 と画素側電流検出部 107 により測定することができる。よって、この活性化中に、これらの電流  $I_f$  及び  $I_f(j)$  を測定すれば、活性化の状態に応じた補償電圧を決定して印加することが可能となる。

## 【0067】

続いて本実施の形態の通電活性化装置を用いてマルチ電子源基板 101 を活性化する手順について説明する。

## 【0068】

まずはじめに制御部 104 は、基板 101 の 1 行目の表面伝導型放出素子を活性化するために、ライン選択部 102 に 1 行目の配線を選択するよう信号を出力する。これによりライン選択部 102 は図 2 (a) に示した様に、スイッチ  $SW_{x1}$  のみをオンし、1 行目の行配線に電源 103 からの電圧パルス印加する。この電圧パルスは配線  $S_{x1}$  に出力され、基板端子  $D_{x1}$  を介して基板 101 の 1 行目行配線に接続された素子に印加される。

## 【0069】

この時の電圧波形を図 6 (a) に示す。本実施の形態においては、パルス幅  $T_1$  を 1 ミリ秒、周期  $T_2$  を 10 ミリ秒とした。また図 6 (a) における電圧値  $V_f$  は、図 27 に示した  $V_f$  と等しいものとする。

## 【0070】

また同時に、制御部 104 は画素選択部 111a に全画素 (1 ラインの全素子) を選択するように信号を送り、これにより画素選択部 111a のスイッチ  $SW_{y1} \sim SW_{yn}$  は全て導通となる。このときの画素選択側出力電圧アンプ 111 の出力電圧波形  $V_{assist\_j}$  ( $j = 1 \sim n$ ) (図 6 (b)) は、電子源基板 101 の列端子  $D_{y1} \sim D_{yn}$  を通して、全ての列配線に印加される。

## 【0071】

このとき、画素選択側出力電圧アンプ 111 が発生する  $j$  列目方向の駆動電圧波形を図 6 (b) に示す。このときのパルス幅  $T_1$ 、周期  $T_2$  は、前述の図 6 (a) と同じであり、パルス信号の出力のタイミングが揃っている。また、 $V_{assi$

st<sub>j</sub> (j = 1 ~ n) は、列配線の電圧降下の影響を考慮して決定された、その行の各列配線に接続された各素子に印加される電圧を示している。これにより、その行配線に接続された全ての素子に一定電圧 V<sub>f</sub> (図 6 (b) に示す電圧 [-V<sub>f</sub>] と図 6 (a) に示す電圧 [V<sub>assist</sub>] との差分により決定される) が印加されることになる。

【0072】

こうして電源 103 と画素選択側出力電圧アンプ 111 の出力により、電子源基板 101 の 1 行目の素子の全てに活性化電圧 V<sub>f</sub> のパルスが印加されることになり、1 行目の素子の活性化が開始される。

【0073】

しかし、このままの電圧を列配線に印加し続けると、これら列配線から印加された電圧 V<sub>assist<sub>j</sub></sub> が 2 行目以降の行配線に接続された全ての素子に印加され続けることになり、前述した素子の V<sub>CNR</sub> 特性により低抵抗化が起こり、無効電流が流れる。

【0074】

ここで本願発明者らによるマルチ電子源の低抵抗化を防ぐ方法について図 31 を用いて説明する。

【0075】

低抵抗化した表面伝導型放出素子に降電圧レート (パルス立ち下がり) 10 V / 秒以上の電圧パルスを印加すると、図 31 の領域 A ~ 領域 B よりなる I - V 静特性とは異なる高抵抗状態に遷移する。

【0076】

ここで、高抵抗状態とは、素子が有限時間の間、図 31 に示す動特性に沿った I - V 特性に従う状態を指す。例えば図 31 の I - V 特性を有する表面伝導型放出素子に対して、波高値 V<sub>d</sub>, 降電圧レート 10 V / 秒以上の電圧パルスを印加した直後には、該素子の I - V 測定は図 31 中、I<sub>f</sub> (V<sub>d</sub>) で示すような高抵抗状態を示す。またこのように高抵抗状態に遷移した後でも、該素子に対して V<sub>d</sub> を印加すれば放出電流 I<sub>s</sub> を得ることが可能である。しかも実線 I<sub>f</sub> (V<sub>d</sub>) で示される特性から明らかなように、この素子に対して電圧 V<sub>e</sub> 以下の電圧を印加し

たとしても、点線で示される静特性と比較して、該素子に流れる電流  $I_f$  は大幅に低減される。またこのような素子の高抵抗状態は、上記電圧パルス印加後、有限時間保持されるが（この時間を  $T_{hr}$  とする）、その後は再び図 3 1 で示される  $I-V$  静特性に戻る。そこで所望の期間、係る高抵抗状態を維持する必要がある場合には、高抵抗状態が保持されている間に、上記電圧パルスを再度繰り返し印加することにより、高抵抗状態の保持時間を所望期間、延長することができる。

そこで本実施の形態によれば、上記  $I-V$  静特性を有する表面伝導型放出素子基板 1 0 1 において、予め上記の降電圧レート  $10\text{ V/秒}$  以上の電圧パルス（以下高抵抗化パルスと言う）を印加することにより、その素子の  $I-V$  静特性を異なる状態に遷移せしめる。つまり、該素子を高抵抗状態に遷移せしめることにより、上述の半選択素子に流れる無効電流を減少させ、活性化時における装置の消費電力を大幅に低減することができる。尚、上記高抵抗化パルスの降電圧レートの上限は実用的には  $10$  の  $10$  乗  $[\text{V/秒}]$  である。

#### 【0 0 7 7】

以上説明した表面伝導型放出素子の特性により、電子源基板 1 0 1 全体に高抵抗化パルスを印加することにより半選択素子の低抵抗化を防止でき、電子源基板 1 0 1 を劣化させたり破壊したりすることなく、活性化を行うことができる。つまり、表面伝導型放出素子の低抵抗化の状態を電流値で検出し、その低抵抗化した素子に対して高抵抗化パルスを印加することにより活性化が可能となる。

#### 【0 0 7 8】

ここで、本実施の形態における低抵抗化素子の検出方法と高抵抗化パルス導入方法について説明する。

#### 【0 0 7 9】

現在活性化している行配線を  $i$  行目とする。いま行単位で活性化を行なう場合、ライン側電流検出部 1 1 0 と画素選択側電流検出部 1 0 7 により、活性化時の電流を計測することができる。即ち、ライン側電流検出部 1 1 0 により選択された行配線に流れる電流が計測される。この時のライン側電流を  $I_{f\_line\_i}$ （但し  $i = 1, 2, \dots, m$ ）とする。そして画素選択側電流検出部 1 0 7 により、その選択された行配線の各素子に流れる電流値を計測することができる。この時の画

素選択側電流を  $I_{f\_gaso\_j}$  とする (但し、 $j = 1, 2, 3, \dots, n$ )。

【0080】

画素選択側から非選択素子に対して電圧を印加しても、素子の低抵抗化が起っていない場合は、

$$\begin{aligned} I_{f\_line\_i} &= I_{f\_gaso\_1} + I_{f\_gaso\_2} + I_{f\_gaso\_3} + \dots + I_{f\_gaso\_n} \\ &= \sum I_{f\_gaso\_j} \quad (j = 1 \sim n) \end{aligned} \quad \dots \text{式(4)}$$

となる。

【0081】

しかし、画素選択側電圧により非選択素子の低抵抗化が顕著になってくると、列配線に接続された素子の漏れ電流が増加するため、

$$I_{f\_line\_i} < \sum I_{f\_gaso\_j} \quad (j = 1 \sim n) \quad \dots \text{式(5)}$$

となり、この  $i$  行目の活性化を行なっている場合の列配線における漏れ電流  $I_{f\_leak\_i}$  の大きさは、

$$I_{f\_leak\_i} = (\sum I_{f\_gaso\_j}) - I_{f\_line\_i} \quad (j = 1 \sim n) \quad \dots \text{式(6)}$$

と算出される。この漏れ電流  $I_{f\_leak\_i}$  により、単純マトリックス状に作成した表面伝導型素子全体の低抵抗化状況を調べることができる。

【0082】

本実施の形態においては、この漏れ電流  $I_{f\_leak\_i}$  の大きさがある閾値  $I_{f\_refresh\_th}$  を越えたとき初めて高抵抗化パルスの導入を行なうこととした。尚、この漏れ電流の閾値  $I_{f\_refresh\_th}$  は、具体的には、数百  $\mu A$  ～数  $A$  であり、この値は素子の材料や製造工程により異なる。

【0083】

本実施の形態における高抵抗化パルスを図7に示す。この高抵抗化パルスは電源103より発生され、この時ライン選択部102は全ての行配線を選択するように制御される。またこの時、画素側選択部111aでは全てのスイッチがオフされて、全ての列配線はグランドに落とされる。逆に、画素側選択部111aにより全ての列配線を選択し、ライン選択部102における接続を全てグランドにすることにより、高抵抗化パルスを導入する方法も考えられる。

【0084】

このようにして、半選択素子の高抵抗化を行ないながら 1 行目の行配線に接続された素子の活性化が終了すると、制御部 1 0 4 は次の行を選択するようライン選択部 1 0 2 に信号を送る。これにより 1 行目の行配線の場合と同様にして、高抵抗化パルスをその他の非選択の行配線に印加しながら活性化を行う。こうして活性化終了時間、或は活性化電流値が目標値になった時点で、その 2 行目の行配線に接続された素子の活性化を終了する。

【0 0 8 5】

このような手順で、各行配線を順次選択して全ての行配線に対する活性化処理が終了すると、この表面伝導型放出素子基板 1 0 1 の活性化を終了する。

【0 0 8 6】

図 8 は、本実施の形態の通電活性化装置の制御部 1 0 4 の処理動作を示すフローチャートである。

【0 0 8 7】

まずステップ S 1 で、ライン選択部 1 0 2 により 1 行目の行配線を選択し、ステップ S 2 で電源 1 0 3 より図 6 (a) に示すようなパルス信号を出力する。ステップ S 3 で、ステップ S 2 の活性化パルスの印加時に測定した 1 行目の配線に流れる電流値及び画素選択側電流検出部 1 0 7 で検出された列配線の電流値に基づいて、配線抵抗による電圧降下を補償する電圧値を計算する。次にステップ S 4 に進み、電源 1 0 3 より図 6 (a) に示すようなパルス信号を出力し、これと同期して画素選択側出力電圧アンプ 1 1 1 より図 6 (b) に示すような補償電圧パルスを出力する。これにより、基板 1 0 1 の 1 行目の行配線に接続された全ての素子に一定の電圧  $V_f$  が印加される。また、このステップで活性化している行の電流  $I_{line\_i}$  ( $i$  行目の行配線に流れる電流) と、全ての列配線に流れ込む電流  $I_{gaso\_j}$  ( $j = 1, 2, \dots, n$ ) を測定する。

【0 0 8 8】

次にステップ S 5 に進み、素子の活性化が終了する時間が経過したかどうかを調べ、その時間が経過していないときはステップ S 6 に進み、非選択素子の素子抵抗をチェックする。このステップ S 6 を具体的に説明すると、まずステップ S 4 で測定した漏れ電流  $I_{leak\_i}$  と閾値  $I_{refresh\_th}$  との比較を行ない、 $I_{lea$

$k_i \leq I\_refresh\_th$ の場合は、素子の低抵抗化が進んでいないと判断して再びステップ S 3 へ戻り活性化を行なう。

## 【0089】

一方、ステップ S 6 で  $I\_leak\_i > I\_refresh\_th$  となった場合は、非選択素子の低抵抗化が進んでいるためステップ S 7 に進み、ライン選択部 1 0 2 により全行配線を選択し、画素側選択部 1 1 1 a におけるスイッチを全て接地側に接続する。次にステップ S 8 に進み、電源 1 0 3 から発生した高抵抗化パルスにより全素子の高抵抗化をはかる。次にステップ S 9 に進み、ライン選択部 1 0 2 及び画素側選択部 1 1 1 a の設定を高抵抗化パルス導入前の状態に戻してステップ S 3 に戻り、素子の活性化を再開する。

## 【0090】

またステップ S 5 で、現在選択している行配線に接続された素子の活性化時間が終了しているときはステップ S 1 0 に進み、基板 1 0 1 の全手の行配線に対する処理が終了したかどうかを調べ、終了していない時はステップ S 1 1 に進み、ライン選択部 1 0 2 により次の行配線を選択してステップ S 2 に戻り、前述の処理を実行する。

## 【0091】

以上説明したように本実施の形態 1 によれば、半選択素子の漏れ電流の大きさをマトリックス状に配線された素子全体として検出し、非選択素子の高抵抗化を行ないながら通電活性化することにより活性化工程による投入電力をより小さくすることが可能となる。よって、表面伝導型素子の熱的な破壊をより効率良く防止し、通電活性化装置の消費電力量をより少なくすることができる。

## 【0092】

また、本実施の形態 1 の通電活性化装置を用いて、マトリックス状に配線された表面伝導型放出素子を活性化したところ、全ての素子の電子放出特性が略均一化された。これにより、この電子源基板を用いて、輝度又は濃度のばらつきが少ない高品位な画像表示装置を実現できた。

## 【0093】

また本実施の形態の表面伝導型放出素子基板は、片側配線取り出しであるが、

両側配線取り出しのものについても同様に実施可能であり、そのような表面伝導型放出素子基板を用いても高品位な画像形成装置が実現されたのは言うまでもない。

【0094】

〔実施の形態2〕

本実施の形態2では、表面伝導型放出素子をマトリックス状に配線することによる電圧降下を補償した活性化を行なう場合におこる、非選択素子の低抵抗化現象を列配線単位で検出し、素子の低抵抗化現象が検出されると、その列配線単位で高抵抗化パルスを導入し、活性化を行なっている。

【0095】

以下に、本発明に係る実施の形態2について詳細に説明する。

【0096】

本実施の形態2における通電活性化装置は、前述の実施の形態1と同様の構成であり、表面伝導型放出素子も同じであるため、装置全体の構成に関する説明を省略する。

【0097】

この実施の形態2と前述の実施の形態1と異なる点は、表面伝導型放出素子の低抵抗化素子の検出方法と高抵抗化導入方法にある。即ち、本実施の形態2では、列配線単位で低抵抗化した素子の位置を検出し、低抵抗化した素子が接続されている列配線のみを高抵抗化パルスを印加している。

【0098】

次に、素子の低抵抗化を検出するための処理について説明する。

【0099】

i 行目の活性化中に、漏れ電流  $I_{f\_leak\_i}$  及び画素選択側電流  $I_{f\_gaso\_j}$  ( $j = 1, 2, \dots, n$ ) を測定する方法は、前述の実施の形態1と同じである。

【0100】

いま漏れ電流  $I_{f\_leak\_i}$  の値が画素選択側電流  $I_{f\_refresh\_th}$  の値を超えたとき、低抵抗化した素子のある列配線を特定するために、列配線の抵抗測定を行う。

## 【0 1 0 1】

ここではライン選択部 1 0 2 により全ての行配線を接地し、更に画素側選択部 1 1 1 a により、測定を行ないたい画素選択側配線の j 列目配線以外を全て接地する。そして、j 列目の列配線に電圧 V4 (V) を印加する。このとき、この j 列目の配線を流れる電流 I f\_gaso\_j は、

$$I f\_gaso\_j = V4 / Rsyj$$

で表される。この電流値 I f\_gaso\_j が、列方向の漏れ電流閾値 I\_refresh\_retu\_th より大きい列配線にのみ高抵抗化パルスを導入して、素子の高抵抗化を行なう。

## 【0 1 0 2】

尚、この漏れ電流閾値 I\_refresh\_retu\_th は、具体的には、数百  $\mu$  A ~ 数 A であり、この値は素子の材料や製造工程により異なる。

## 【0 1 0 3】

本実施の形態 2 における高抵抗化パルスを図 7 に示す。この高抵抗化パルスは画素選択側出力電圧アンプ 1 1 1 に含まれる電源 1 5 6 により発生され、この時ライン選択部 1 0 2 により全ての行配線が接地されている。また、このプロセスで高抵抗化パルスが必要とされる列配線を選択し、その他の列配線はグランドに落とされる。つまり、低抵抗化している素子が接続された列配線だけに高抵抗化パルスを導入することで、前述の実施の形態 1 より高抵抗化パルスによる投入電力を抑制することができる。

## 【0 1 0 4】

こうして 1 行目の活性化処理が終了すると、制御部 1 0 4 は次の行を選択するようにライン選択部 1 0 2 に信号を送り、1 行目の場合と同じ手順で活性化を行い、活性化終了時間とを活性化電流値が目標値になれば、その行配線に対する活性化処理を終了する。このような手順で各行配線に接続された素子を順次活性化していき、表面伝導型放出素子基板 1 0 1 の全ての素子の活性化処理が完了する。

## 【0 1 0 5】

図 9 は、本実施の形態 2 に係る通電活性化装置の制御部 1 0 4 の処理動作を示



すフローチャートである。

#### 【0106】

まずステップ S101 で、ライン選択部 102 により 1 行目の行配線を選択し、次にステップ S102 に進み、電源 103 より図 6 (a) に示すようなパルス信号を出力する。次にステップ S103 に進み、ステップ S102 の活性化パルス印加時に測定した 1 行目の行配線を流れる電流値及び画素選択側電流検出部 107 で測定された列配線を流れる電流値に基づいて、配線抵抗による電圧降下を補償する電圧値を制御部 104 で計算する。次にステップ 104 に進み、電源 103 より図 6 (a) に示すようなパルス信号を出力し、これに同期して画素選択側出力電圧アンプ 111 より、ステップ S103 での計算結果に基づいて、図 6 (b) に示すような補償電圧パルスを出力する。これにより基板 101 の 1 行目の行配線に接続された全ての素子に一定の電圧  $V_f$  が印加される。また、このステップ S104 で、活性化を行っている行配線を流れる電流  $I_{line\_i}$  ( $i$  行目の行配線を流れる電流値) と、各列配線に流れこむ電流  $I_{gaso\_j}$  ( $j = 1, 2, \dots, n$ ) を測定する。

#### 【0107】

次にステップ S105 に進み、その行配線に接続されている素子の活性化が終了したかどうかを、その経過時間を基に判定し、終了していないときはステップ S106 に進み、非選択素子の素子抵抗をチェックする。このステップ S106 の処理を具体的に説明すると、まずステップ S104 で測定した、漏れ電流  $I_{leak\_i}$  と閾値  $I_{refresh\_th}$  の比較を行ない、漏れ電流が閾値電流に等しいかそれよりも小さいとき ( $I_{leak\_i} \leq I_{refresh\_th}$ ) は素子の低抵抗化が進んでいないと判断して再びステップ S103 へ戻り、活性化を行なう。

#### 【0108】

一方、漏れ電流が閾値電流よりも大きい ( $I_{leak\_i} > I_{refresh\_th}$ ) ときは、非選択素子の低抵抗化が進んでいるためステップ S107 に進み、ライン選択部 102 により全ての行配線を接地し、画素側選択部 111a により 1 列配線ずつ選択して電圧を印加し、各列配線を流れる電流値を検出して、低抵抗化している素子を接続している列配線を特定する。次にステップ S108 に進み、ステッ

ブ 1 0 7 で低抵抗化が検出された列配線に対して、ライン選択部 1 0 2 により全ての行配線を接地したまま、画素選択側出力電圧アンプ 1 1 1 に接続されている電源 1 5 6 から高抵抗化パルス进行加することにより、その列配線に接続されている素子の高抵抗化をはかる。次にステップ S 1 0 9 に進み、ライン選択部 1 0 2 及び画素側選択部 1 1 1 a における設定を高抵抗化パルス導入前の状態に戻してステップ S 1 0 3 に戻り、素子の活性化を再開する。

#### 【 0 1 0 9 】

またステップ S 1 0 5 で、現在の行配線に接続されている全ての素子に対する活性化処理が終了しているときはステップ S 1 1 0 に進み、全行配線に対する活性化が終了しているかを判定し、終了していない時はステップ S 1 1 1 に進み、ライン選択部 1 0 2 により次の行配線を選択してステップ S 1 0 2 に戻り、前述の処理を実行する。

#### 【 0 1 1 0 】

以上説明したように本実施の形態 2 によれば、半選択素子の漏れ電流の大きさを列配線単位で検出し、漏れ電流の大きい列配線に対して高抵抗化パルスを印加しながら通電活性化することにより、活性化工程における投入電力をより小さくすることが可能となる。これにより表面伝導型放出素子の熱的な破壊をより防止でき、通電活性化装置の消費電力量をより小さくすることができる。

#### 【 0 1 1 1 】

また、本実施の形態 2 の通電活性化装置を用いて、マトリクス状に配列された表面伝導型放出素子を活性化したところ、全ての素子の電子放出特性が略均一化された。従って、このような表面伝導型放出素子を有する電子源を用いた画像形成装置を作製したところ、輝度及び濃度のばらつきが少ない高品位な画像を形成できた。

#### 【 0 1 1 2 】

尚、上述した本実施の形態 2 の表面伝導型放出素子基板は片側配線取り出しであったが、両側配線取り出しのものについても同様に実施可能であり、このような表面伝導型放出素子基板を用いても高品位な画像形成装置が実現されたのは言うまでもない。

【0113】

〔実施の形態3〕

本実施の形態3では、表面伝導型放出素子をマトリックス状に配線することによる電圧降下を補償した活性化を行なう場合におこる、非選択素子の低抵抗化現象を素子単位で検出し、素子単位で素子の低抵抗化現象が検出されると素子単位で高抵抗化パルスを導入して活性化を行なっている。

【0114】

以下に、本発明に係る実施の形態3について詳細に説明する。

【0115】

本実施の形態3における通電活性化装置は前述の実施の形態1と同様の構成であり、表面伝導型放出素子基板も同じものであるため装置全体の構成に関する説明は省略する。

【0116】

ここで前述の実施の形態1と本実施の形態3との異なる点は、表面伝導型放出素子の低抵抗化素子の検出方法と高抵抗化パルス導入方法にある。即ち、本実施の形態3では、素子単位で低抵抗化している素子を検出し、その素子単位で高抵抗化することを特徴としている。

【0117】

この素子の低抵抗化を検出するための処理について説明する。

【0118】

いま  $i$  行目の行配線に接続された素子の活性化中に、漏れ電流  $I_{f\_leak\_i}$  及び画素選択側電流  $I_{f\_gaso\_j}$  ( $j = 1, 2, \dots, n$ ) を測定する処理は、前述の実施の形態1と同じである。

【0119】

そして漏れ電流  $I_{f\_leak\_i}$  の値が、閾値電流  $I_{f\_refresh\_th}$  を超えたとき、低抵抗化した素子を特定するために、素子抵抗の測定をおこなう。

【0120】

その低抵抗化した素子を特定するためには、ライン選択部102により全ての行配線を接地し、画素選択部111aにより、測定を行ないたい画素選択側配線

の  $j$  列目以外の列配線を全て接地し、その  $j$  列目の列配線に  $V5$  (V) を印加する。これにより、その  $i$  行目の行配線に流れる電流  $I_{f\_line\_i}$  は、

$$I_{f\_line\_i} = V5 / R_{sxi}$$

となる。その電流  $I_{f\_line\_i}$  が、単一素子漏れ電流閾値  $I_{f\_refresh\_sosi\_th}$  より大きい場合、その素子単位に高抵抗化パルス印加して、その素子を高抵抗化する。尚、この漏れ電流閾値  $I_{f\_refresh\_sosi\_th}$  は、具体的には、数百  $\mu A \sim$  数  $A$  であり、この電流値は素子の材料や製造工程により異なる。

#### 【0121】

本実施の形態 3 における高抵抗化パルスの波形例を図 10 に示す。

#### 【0122】

この高抵抗化パルスは、行配線に印加される電圧を発生する電源 103 と、画素選択側出力電圧アンプ 111 に接続された電源 156 により発生される。いま  $i$  行  $j$  列目の素子に対して高抵抗化を行なう場合には、 $i$  行目の行配線及び  $j$  列目の列配線以外は全て接地した状態で高抵抗化パルスが印加される。ここで高抵抗化パルスを発生するために用いられる電圧  $-V7$  は電源 156 から発生され、電圧  $V8$  は電源 103 から発生される。この電圧により半選択された素子が低抵抗化しないように、高速に印加されることが必要となる。

#### 【0123】

このように、各素子の低抵抗化を行ないながら 1 行目の行配線に接続された素子の活性化が終了すると、制御部 104 は次の行配線を選択するようライン選択部 102 に信号を送り、1 行目の行配線の場合と同じ手順で高抵抗化パルスをその他の行配線に印加しながら活性化を行い、活性化終了時間とを活性化電流値が目標値になれば、その行配線に接続された素子の活性化を終了する。

#### 【0124】

このような手順で全ての行配線に接続された素子を順次活性化していき、表面伝導型放出素子基板 101 の活性化を終了する。

#### 【0125】

図 11 は、本実施の形態 3 に係る通電活性化装置の制御部 104 の処理動作を示すフローチャートである。

## 【0 1 2 6】

まずステップ S 2 0 1 で、ライン選択部 1 0 2 により 1 行目の行配線を選択し、ステップ S 2 0 2 で、配線抵抗の影響による電圧降下を補償する電圧値を制御部 1 0 4 で計算し、電源 1 0 3 より図 6 (a) に示すようなパルス信号を出力する。次にステップ S 2 0 3 に進み、ステップ S 2 0 2 の活性化パルス印加時に測定した 1 行目の行配線を流れる電流値及び画素選択側電流検出部 1 0 7 で測定された列配線を流れる電流値に基づいて、配線抵抗による電圧降下を補償する電圧値を制御部 1 0 4 で計算する。そしてステップ S 2 0 4 に進み、画素選択側出力電圧アンプ 1 1 1 より図 6 (b) に示すような補償電圧パルスを出力する。これにより、基板 1 0 1 の 1 行目の行配線に接続された全ての素子に一定の電圧  $V_f$  が印加される。また、このステップで活性化している行配線を流れる電流値  $I_{line\_i}$  ( $i$  行目の電流) と、各列配線に流れ込む電流値  $I_{gaso\_j}$  ( $j = 1, 2, \dots, n$ ) を測定する。

## 【0 1 2 7】

次にステップ S 2 0 5 に進み、活性化が終了する迄の時間が経過したかどうかを調べ、その行配線に接続された素子の活性化が終了したかどうかをみる。終了していないときはステップ S 2 0 6 に進み、非選択素子の素子抵抗をチェックする。このステップ S 2 0 6 における処理を具体的に説明すると、ステップ S 2 0 4 で測定した、漏れ電流値  $I_{leak\_i}$  と閾値  $I_{refresh\_th}$  との比較を行ない、漏れ電流が閾値に等しいかそれよりも大きい ( $I_{leak\_i} \leq I_{refresh\_th}$ ) とときは素子の低抵抗化が進んでいないと判断して再びステップ S 2 0 3 へ戻り、活性化を行なう。

## 【0 1 2 8】

一方、ステップ S 2 0 6 で漏れ電流が閾値よりも大きい ( $I_{leak\_i} > I_{refresh\_th}$ ) とときはステップ S 2 0 7 に進み、非選択素子の低抵抗化が進んでいると判断して、ライン選択部 1 0 2 と画素側選択部 1 1 1 a により、その低抵抗化している素子を特定する。そして、その低抵抗化している素子が接続されている行配線及び列配線以外を全て接地し、低抵抗化している素子を特定する。次にステップ 2 0 8 に進み、ステップ 2 0 7 で素子の低抵抗化が特定された素子に対して

、電源 1 0 3 及び画素選択側出力アンプ 1 1 1 に接続された電源 1 5 6 から高抵抗化パルス印加して高抵抗化をはかる。次にステップ S 2 0 9 に進み、ライン選択部 1 0 2 及び画素選択側ライン選択部 1 1 1 a における行配線及び列配線の設定を、ステップ S 2 0 7, S 2 0 8 における高抵抗化パルス導入前の状態に戻してステップ S 2 0 3 に戻り、素子の活性化を再開する。

#### 【0 1 2 9】

一方、ステップ S 2 0 5 で、現在の行配線に接続された全ての素子に対する活性化処理が終了しているときはステップ S 2 1 0 に進み、全ての行配線に対する活性化処理が終了しているかをみる。ここで終了していないときはステップ S 2 1 1 に進み、ライン選択部 1 0 2 により次の行配線を選択してステップ S 2 0 2 に戻り、前述の処理を実行する。

#### 【0 1 3 0】

以上説明したように本実施の形態 3 によれば、半選択素子の漏れ電流の大きさを素子単位で検出し、低抵抗化した素子に対して高抵抗化を行ないながら通電活性化を行うことにより、活性化工程における投入電力をより小さくすることが可能となる。これにより表面伝導型放出素子の熱的な破壊をより防止でき、通電活性化装置における消費電力量をより小さくすることができる。

#### 【0 1 3 1】

また、本実施の形態 3 に係る通電活性化装置を用いて、マトリクス状に配線された表面伝導型放出素子を活性化したところ、全ての素子の電子放出特性が略均一化された。従って、このようなマトリクス状に配線された表面伝導型放出素子を有する電子源を用いて画像形成装置を作成すると、輝度又は濃度のばらつきが少ない高品位な画像を形成することができた。

#### 【0 1 3 2】

尚、上述した本実施の形態の表面伝導型放出素子基板は片側配線取り出しであるが、両側配線取り出しのものについても同様に実施可能であり、該表面伝導型放出素子基板を用いても高品位な画像が形成できた。

#### 【0 1 3 3】

(表示パネルの構成と製造法)

次に、本実施の形態の電子源基板を適用した画像表示装置の表示パネルの構成と、その製造法について、具体的な例を示して説明する。

#### 【0134】

図12は、本実施の形態の電子源基板101を用いた表示パネル1000の外観斜視図であり、内部構造を示すために表示パネル1000の一部を切り欠いて示している。

#### 【0135】

図中、1005はリアプレート、1006は側壁、1007はフェースプレートであり、これら1005～1007により表示パネル1000の内部を真空中に維持するための気密容器を形成している。この気密容器を組み立てるにあたっては、各部材の接合部に十分な強度と気密性を保持させるため封着する必要があるが、例えばフリットガラスを接合部に塗布し、大気中或は窒素雰囲気中で、摂氏400～500度で10分以上焼成することにより封着を達成した。この気密容器内部を真空中に排気する方法については後述する。

#### 【0136】

リアプレート1005には、基板101が固定されているが、この基板101上には表面伝導型放出素子1002が $n \times m$ 個形成されている（ここで $n$ 、 $m$ は2以上の正の整数であり、目的とする表示すべき画素数に応じて適宜設定される。例えば、高品位テレビジョンの表示を目的とした表示装置においては、 $n=3000$ 、 $m=1000$ 以上の数を設定することが望ましい。本実施の形態においては、 $n=3072$ 、 $m=1024$ とした）。これら $n \times m$ 個の表面伝導型放出素子は、 $m$ 本の行配線1003と $n$ 本の列配線1004により単純マトリクス配線されている。これら基板101、電子放出素子1002、行及び列配線1003、1004によって構成される部分をマルチ電子源と呼ぶ。なお、このマルチ電子源の製造方法や構造については、後で詳しく述べる。

#### 【0137】

尚、本実施の形態においては、気密容器のリアプレート1005にマルチ電子源の基板101を固定する構成としたが、マルチ電子源の基板101が十分な強度を有するものである場合には、気密容器のリアプレートとしてマルチ電子源の

基板 1 0 1 自体を用いてもよい。

【 0 1 3 8 】

また、フェースプレート 1 0 0 7 の下面には、蛍光膜 1 0 0 8 が形成されている。本実施の形態はカラー表示装置であるため、蛍光膜 1 0 0 8 の部分には C R T の分野で用いられる赤、緑、青、の 3 原色の蛍光体が塗り分けられている。各色の蛍光体は、例えば図 1 3 (A) に示すようにストライプ状に塗り分けられ、蛍光体のストライプの間には黒色の導電体 1 0 1 0 が設けてある。これら黒色の導電体 1 0 1 0 を設ける目的は、電子ビームの照射位置に多少のずれがあっても表示色にずれが生じないようにするためや、外光の反射を防止して表示コントラストの低下を防ぐため、電子ビームによる蛍光膜のチャージアップを防止するためなどである。この黒色の導電体 1 0 1 0 には、黒鉛を主成分として用いたが、上記の目的に適するものであればこれ以外の材料を用いても良い。

【 0 1 3 9 】

また、3 原色の蛍光体の塗り分け方は図 1 3 (A) に示したストライプ状の配列に限られるものではなく、例えば図 1 3 (B) に示すようなデルタ状配列や、それ以外の配列であってもよい。

【 0 1 4 0 】

尚、モノクロームの表示パネルを作成する場合には、単色の蛍光体材料を蛍光膜 1 0 0 8 に用いればよく、また黒色導電材料は必ずしも用いなくともよい。

【 0 1 4 1 】

また、蛍光膜 1 0 0 8 のリアプレート側の面には、C R T の分野では公知のメタルバック 1 0 0 9 を設けてある。このメタルバック 1 0 0 9 を設けた目的は、蛍光膜 1 0 0 8 が発する光の一部を鏡面反射して光利用率を向上させるためや、負イオンの衝突から蛍光膜 1 0 0 8 を保護するためや、電子ビーム加速電圧を印加するための電極として作用させるためや、蛍光膜 1 0 0 8 を励起した電子の導電路として作用させるためなどである。このメタルバック 1 0 0 9 は、蛍光膜 1 0 0 8 をフェースプレート基板 1 0 0 7 上に形成した後、蛍光膜表面を平滑化処理し、その上に A l (アルミニウム) を真空蒸着する方法により形成した。なお、蛍光膜 1 0 0 8 に低電圧用の蛍光体材料を用いた場合には、メタルバック 1 0



09は用いない。

【0142】

また、本実施の形態では用いなかったが、加速電圧の印加用や蛍光膜の導電性向上を目的として、フェースプレート基板1007と蛍光膜1008との間に、例えばITOを材料とする透明電極を設けてもよい。

【0143】

また、 $Dx1 \sim Dx_m$ および $Dy1 \sim Dy_n$ および $Hv$ は、この表示パネル1000と不図示の電気回路とを電氣的に接続するために設けた気密構造の電気接続用端子である。ここで行端子 $Dx1 \sim Dx_m$ はマルチ電子源の行配線1003と、列端子 $Dy1 \sim Dy_n$ はマルチ電子源の列配線1004と、 $Hv$ はフェースプレートのメタルバック1009とそれぞれ電氣的に接続している。

【0144】

また、この気密容器内部を真空に排気するには、気密容器を組み立てた後、不図示の排気管と真空ポンプとを接続し、気密容器内を10のマイナス7乗[torr]程度の真空度まで排気する。その後、排気管を封止するが、気密容器内の真空度を維持するために、封止の直前或は封止後に気密容器内の所定の位置にゲッター膜（不図示）を形成する。ゲッター膜とは、例えばBaを主成分とするゲッター材料をヒータもしくは高周波加熱により加熱し蒸着して形成した膜であり、該ゲッター膜の吸着作用により気密容器内は $1 \times 10$ のマイナス5乗ないしは $1 \times 10$ のマイナス7乗[torr]の真空度に維持される。

【0145】

以上、本発明の実施の形態の表示パネル1000の基本構成と製法を説明した。

【0146】

次に、本実施の形態の表示パネル1000に用いたマルチ電子源の製造方法について説明する。本実施の形態の画像表示装置に用いるマルチ電子源は、表面伝導型放出素子を単純マトリクス配線した電子源であれば、表面伝導型放出素子の材料や形状或は製法に制限はない。本実施の形態の表示パネル1000において用いられた好適な表面伝導型放出素子について基本的な構成と製法および特性を

説明し、その後で多数の素子を単純マトリクス配線したマルチ電子源の構造について述べる。

#### 【0 1 4 7】

(表面伝導型放出素子の好適な素子構成と製法)

本実施の形態にて適用できる表面伝導型放出素子の代表的な構成には、平面型と垂直型の2種類が挙げられる。

#### 【0 1 4 8】

(平面型の表面伝導型放出素子)

まず最初に、平面型の表面伝導型放出素子の素子構成と、その製法について説明する。

#### 【0 1 4 9】

図14に示すのは、平面型の表面伝導型放出素子の構成を説明するための平面図(a)及び断面図(b)である。図中、1101は基板、1102と1103は素子電極、1104は導電性薄膜、1105は通電フォーミング処理により形成した亀裂などの第1のギャップ、1113は通電活性化処理により形成した薄膜であり、図14に示されるように、一对の導電性薄膜1104上と前記第1のギャップ1105内とに配置されており、第1のギャップ1105よりも狭い第2のギャップ1106を形成している。

#### 【0 1 5 0】

基板1101としては、例えば、石英ガラスや青板ガラスをはじめとする各種ガラス基板や、アルミナをはじめとする各種セラミクス基板、或は上述の各種基板上に例えばSiO<sub>2</sub>を材料とする絶縁層を積層した基板などを用いることができる。

#### 【0 1 5 1】

また、基板1101上に基板面と平行に対向して設けられた素子電極1102と1103は、導電性を有する材料によって形成されている。例えば、Ni, Cr, Au, Mo, W, Pt, Ti, Cu, Pd, Ag等をはじめとする金属、或はこれらの金属の合金、或はIn<sub>2</sub>O<sub>3</sub>-SnO<sub>2</sub>をはじめとする金属酸化物、ポリシリコンなどの半導体、などの中から適宜材料を選択して用いればよい。電極

を形成するには、例えば真空蒸着などの製膜技術とフォトリソグラフィ、エッチングなどのパターニング技術を組み合わせて用いれば容易に形成できるが、それ以外の方法（例えば印刷技術）を用いて形成してもさしつかえない。

#### 【0 1 5 2】

これら素子電極 1 1 0 2 と 1 1 0 3 の形状は、この電子放出素子の応用目的に合わせて適宜設計される。一般的には、電極間隔  $L$  は通常は数百オングストロームから数百マイクロメータの範囲から適当な数値を選んで設計されるが、中でも表示装置に応用するために好ましいのは数マイクロメータより数十マイクロメータの範囲である。また、素子電極の厚さ  $d$  については、通常は数百オングストロームから数マイクロメータの範囲から適当な数値が選ばれる。

#### 【0 1 5 3】

また導電性薄膜 1 1 0 4 の部分には、微粒子膜を用いる。ここで述べた微粒子膜とは、構成要素として多数の微粒子を含んだ膜（島状の集合体も含む）のことをさす。微粒子膜を微視的に調べれば、通常は、個々の微粒子が離間して配置された構造か、或は微粒子が互いに隣接した構造か、或は微粒子が互いに重なり合った構造が観測される。

#### 【0 1 5 4】

微粒子膜に用いた微粒子の粒径は、数オングストロームから数千オングストロームの範囲に含まれるものであるが、中でも好ましいのは 1 0 オングストロームから 2 0 0 オングストロームの範囲のものである。また、微粒子膜の膜厚は、以下に述べるような諸条件を考慮して適宜設定される。即ち、素子電極 1 1 0 2 或は 1 1 0 3 と電氣的に良好に接続するのに必要な条件、後述する通電フォーミングを良好に行うのに必要な条件、微粒子膜自身の電気抵抗を後述する適宜の値にするために必要な条件、などである。

#### 【0 1 5 5】

具体的には、数オングストロームから数千オングストロームの範囲のなかで設定するが、なかでも好ましいのは 1 0 オングストロームから 5 0 0 オングストロームの間である。

#### 【0 1 5 6】

また、微粒子膜を形成するのに用いられうる材料としては、例えば、Pd, Pt, Ru, Ag, Au, Ti, In, Cu, Cr, Fe, Zn, Sn, Ta, W, Pb, などをはじめとする金属や、PdO, SnO<sub>2</sub>, In<sub>2</sub>O<sub>3</sub>, PbO, Sb<sub>2</sub>O<sub>3</sub>, などをはじめとする酸化物や、HfB<sub>2</sub>, ZrB<sub>2</sub>, LaB<sub>6</sub>, CeB<sub>6</sub>, YB<sub>4</sub>, GdB<sub>4</sub>, などをはじめとする硼化物や、TiC, ZrC, HfC, TaC, SiC, WC, などをはじめとする炭化物や、TiN, ZrN, HfN, などをはじめとする窒化物や、Si, Ge などをはじめとする半導体や、カーボン、などがあげられ、これらの中から適宜選択される。

## 【0157】

以上述べたように、導電性薄膜 1104 を微粒子膜で形成したが、そのシート抵抗値については、10 の 3 乗から 10 の 7 乗 [ $\Omega/\square$ ] の範囲に含まれるよう設定した。

## 【0158】

なお、導電性薄膜 1104 と素子電極 1102 および 1103 とは、電氣的に良好に接続されるのが望ましいため、互いの一部が重なりあうような構造をとっている。その重なり方は、図 14 の例においては、下から、基板、素子電極、導電性薄膜の順序で積層したが、場合によっては下から基板、導電性薄膜、素子電極、の順序で積層してもさしつかえない。

## 【0159】

また 1105 は、導電性薄膜 1104 の一部に形成され、該導電性薄膜 1104 を一対の導電性薄膜に分離する亀裂状の第 1 のギャップ部分であり、電氣的には周囲の導電性薄膜よりも高抵抗な性質を有している。第 1 のギャップ 1105 は、導電性薄膜 1104 に対して、後述する通電フォーミングの処理を行うことにより形成する。第 1 のギャップ 1105 内には、数オングストロームから数百オングストロームの粒径の微粒子を配置する場合がある。なお、実際の第 1 のギャップの位置や形状を精密かつ正確に図示するのは困難なため、図 14 においては模式的に示した。

## 【0160】

また、薄膜 1113 は、炭素もしくは炭素化合物よりなる薄膜で、導電性薄膜

1104上と第1のギャップ1105内とに配置され、該第1のギャップ1105よりも狭い第2のギャップ1106を形成している。薄膜1113は、通電フォーミング処理後に、後述する通電活性化の処理を行うことにより形成する。

【0161】

薄膜1113は、単結晶グラファイト、多結晶グラファイト、非晶質カーボン、のいずれかか、もしくはその混合物であり、膜厚は500 [オングストローム] 以下とするが、300 [オングストローム] 以下とするのが更に好ましい。

【0162】

なお、実際の薄膜1113の位置や形状を精密に図示するのは困難なため、図14においては模式的に示した。また、平面図(a)においては、薄膜1113の一部を除去した素子を図示した。

【0163】

以上、好ましい素子の基本構成を述べたが、実施の形態においては以下のような素子を用いた。即ち、基板1101には青板ガラスを用い、素子電極1102と1103にはNi薄膜を用いた。素子電極の厚さdは1000 [オングストローム]、電極間隔Lは2 [マイクロメータ] とした。

【0164】

微粒子膜の主要材料としてPdもしくはPdOを用い、微粒子膜の厚さは約100 [オングストローム]、幅Wは100 [マイクロメータ] とした。

【0165】

次に、好適な平面型の表面伝導型放出素子の製造方法について説明する。

【0166】

図15(a)～(d)は、本実施の形態の表面伝導型放出素子の製造工程を説明するための断面図で、各部材の表記は図14と同一である。

【0167】

1) まず、図15(a)に示すように、基板1101上に素子電極1102および1103を形成する。これら素子電極1102、1103を形成するにあたっては、予め基板1101を洗剤、純水、有機溶剤を用いて十分に洗浄後、素子電極の材料を堆積させる。(堆積する方法としては、例えば、蒸着法やスパッタ

法などの真空成膜技術を用ればよい。)その後、堆積した電極材料を、フォトリソグラフィ・エッチング技術を用いてパターニングし、(a)に示した一对の素子電極(1102と1103)を形成する。

## 【0168】

2)次に、同図(b)に示すように、導電性薄膜1104を形成する。この導電性薄膜1104を形成するにあたっては、まず同図(a)の基板に有機金属溶液を塗布して乾燥し、加熱焼成処理して微粒子膜を成膜した後、フォトリソグラフィ・エッチングにより所定の形状にパターニングする。ここで、有機金属溶液とは、導電性薄膜に用いる微粒子の材料を主要元素とする有機金属化合物の溶液である(具体的には、本実施の形態では主要元素としてPdを用いた。また、実施の形態では塗布方法として、ディッピング法を用いたが、それ以外の例えばスピナー法やスプレー法を用いてもよい)。

## 【0169】

また、微粒子膜で作られる導電性薄膜の成膜方法としては、本実施の形態で用いた有機金属溶液の塗布による方法以外の、例えば真空蒸着法やスパッタ法、或は化学的気相堆積法などを用いる場合もある。

## 【0170】

3)次に、同図(c)に示すように、フォーミング用電源1110から素子電極1102と1103の間に適宜の電圧を印加し、通電フォーミング処理を行って、第1のギャップ電子放出部1105を形成する。

## 【0171】

この通電フォーミング処理とは、微粒子膜で作られた導電性薄膜1104に通電を行うことで、導電性薄膜に適当な亀裂を生ぜしめ、第1のギャップ1105が形成される。なお、第1のギャップ1105が形成される前と比較すると、形成された後は素子電極1102と1103の間で計測される電気抵抗は大幅に増加する。

## 【0172】

通電方法をより詳しく説明するために、図16に、フォーミング用電源1110から印加する適宜の電圧波形の一例を示す。微粒子膜で作られた導電性薄膜を

フォーミングする場合には、パルス状の電圧が好ましく、本実施の形態の場合には同図に示したようにパルス幅 T1 の三角波パルスをパルス間隔 T2 で連続的に印加した。その際には、三角波パルスの波高値 V<sub>pf</sub> を順次昇圧した。また、第 1 のギャップ 1105 の形成状況をモニタするためのモニタパルス P<sub>m</sub> を適宜の間隔で三角波パルスの間に挿入し、その際に流れる電流を電流計 1111 で計測した。

#### 【0173】

本実施の形態においては、例えば 10 のマイナス 5 乗 [torr] 程度の真空雰囲気下において、例えばパルス幅 T1 を 1 [ミリ秒]、パルス間隔 T2 を 10 [ミリ秒] とし、波高値 V<sub>pf</sub> を 1 パルスごとに 0.1 [V] ずつ昇圧した。そして、三角波を 5 パルス印加するたびに 1 回の割りで、モニタパルス P<sub>m</sub> を挿入した。ここではフォーミング処理に悪影響を及ぼすことがないように、モニタパルスの電圧 V<sub>pm</sub> は 0.1 [V] に設定した。そして、素子電極 1102 と 1103 の間の電気抵抗が  $1 \times 10^6$  [オーム] になった段階、即ちモニタパルス印加時に電流計 1111 で計測される電流が  $1 \times 10^{-7}$  [A] 以下になった段階で、フォーミング処理に係る通電を終了した。

#### 【0174】

なお、上記の方法は、本実施の形態の表面伝導型放出素子に関する好ましい方法であり、例えば微粒子膜の材料や膜厚、或は素子電極間隔 L など表面伝導型放出素子の設計を変更した場合には、それに応じて通電の条件を適宜変更するのが望ましい。

#### 【0175】

4) 次に、図 15 の (d) に示すように、活性化用電源 1112 から素子電極 1102 と 1103 の間に適宜の電圧を印加し、通電活性化処理を行って、電子放出特性の改善を行う。

#### 【0176】

通電活性化処理とは、通電フォーミング処理により形成された第 1 のギャップ 1105 に適宜の条件で通電を行って、前述した通り、導電性薄膜 1104 上及び第 1 のギャップ 1105 内に炭素もしくは炭素化合物を堆積せしめる処理のこと

とである（図においては、炭素もしくは炭素化合物よりなる堆積物を部材 1 1 1 3 として模式的に示した）。なお、通電活性化処理を行うことにより、行う前と比較して、同じ印加電圧における放出電流を典型的には 1 0 0 倍以上に増加させることができる。

#### 【0 1 7 7】

具体的には、1 0 のマイナス 4 乗ないし 1 0 のマイナス 5 乗 [torr] の範囲内の真空雰囲気中で、電圧パルスを定期的に印加することにより、真空雰囲気中に存在する有機化合物を起源とする炭素もしくは炭素化合物を堆積させる。堆積物 1 1 1 3 は、単結晶グラファイト、多結晶グラファイト、非晶質カーボン、のいずれかか、もしくはその混合物であり、膜厚は 5 0 0 [オングストローム] 以下、より好ましくは 3 0 0 [オングストローム] 以下である。

#### 【0 1 7 8】

この通電方法をより詳しく説明するために、図 1 7 (a) に、活性化用電源 1 1 1 2 から印加する適宜の電圧波形の一例を示す。本実施の形態においては、一定電圧の矩形波を定期的に印加して通電活性化処理を行ったが、具体的には、矩形波の電圧  $V_{ac}$  は 1 4 [V] , パルス幅  $T_3$  は 1 [ミリ秒] , パルス間隔  $T_4$  は 1 0 [ミリ秒] とした。なお、上述の通電条件は、本実施の形態の表面伝導型放出素子に関する好ましい条件であり、表面伝導型放出素子の設計を変更した場合には、それに応じて条件を適宜変更するのが望ましい。

#### 【0 1 7 9】

図 1 5 (d) に示す 1 1 1 4 は、この表面伝導型放出素子から放出される放出電流  $I_e$  を捕捉するためのアノード電極で、直流高電圧電源 1 1 1 5 および電流計 1 1 1 6 が接続されている。なお、基板 1 1 0 1 を、表示パネルの中に組み込んでから活性化処理を行う場合には、表示パネルの蛍光面をアノード電極 1 1 1 4 として用いる。活性化用電源 1 1 1 2 から電圧を印加する間、電流計 1 1 1 6 で放出電流  $I_e$  を計測して通電活性化処理の進行状況をモニタし、活性化用電源 1 1 1 2 の動作を制御する。電流計 1 1 1 6 で計測された放出電流  $I_e$  の一例を図 1 7 (b) に示すが、活性化電源 1 1 1 2 からパルス電圧を印加しはじめると、時間の経過とともに放出電流  $I_e$  は増加するが、やがて飽和してほとんど増加



しなくなる。このように、放出電流  $I_e$  がほぼ飽和した時点で活性化用電源 1 1 1 2 からの電圧印加を停止し、通電活性化処理を終了する。

【0 1 8 0】

なお、上述の通電条件は、本実施の形態の表面伝導型放出素子に関する好ましい条件であり、表面伝導型放出素子の設計を変更した場合には、それに応じて条件を適宜変更するのが望ましい。

【0 1 8 1】

以上のようにして、図 1 5 (e) に示す平面型の表面伝導型放出素子を製造した。

【0 1 8 2】

(垂直型の表面伝導型放出素子)

次に、垂直型の表面伝導型放出素子の構成について説明する。

【0 1 8 3】

図 1 8 は、垂直型の基本構成を説明するための模式的な断面図であり、図中の 1 2 0 1 は基板、1 2 0 2 と 1 2 0 3 は素子電極、1 2 0 6 は段差形成部材、1 2 0 4 は微粒子膜を用いた導電性薄膜、1 2 0 5 は通電フォーミング処理により形成した第 1 のギャップ、1 2 1 3 は通電活性化処理により形成した薄膜である。

【0 1 8 4】

垂直型が先に説明した平面型と異なる点は、素子電極のうちの片方 (1 2 0 2) が段差形成部材 1 2 0 6 上に設けられており、導電性薄膜 1 2 0 4 が段差形成部材 1 2 0 6 の側面を被覆している点にある。従って、図 1 4 の平面型における素子電極間隔  $L$  は、垂直型においては段差形成部材 1 2 0 6 の段差高  $L_s$  として設定される。なお、基板 1 2 0 1、素子電極 1 2 0 2 および 1 2 0 3、微粒子膜を用いた導電性薄膜 1 2 0 4、については、平面型の説明中に列挙した材料を同様に用いることが可能である。また、段差形成部材 1 2 0 6 には、例えば  $SiO_2$  のような電氣的に絶縁性の材料を用いる。

【0 1 8 5】

次に、垂直型の表面伝導型放出素子の製法について説明する。

【0 1 8 6】

図 1 9 (a) ~ (f) は、製造工程を説明するための断面図で、各部材の表記は図 1 8 と同一である。

【0 1 8 7】

1) まず、図 1 9 (a) に示すように、基板 1 2 0 1 上に素子電極 1 2 0 3 を形成する。

【0 1 8 8】

2) 次に、同図 (b) に示すように、段差形成部材を形成するための絶縁層を積層する。絶縁層は、例えば  $\text{SiO}_2$  をスパッタ法で積層すればよいが、例えば真空蒸着法や印刷法などの他の成膜方法を用いてもよい。

【0 1 8 9】

3) 次に、同図 (c) に示すように、絶縁層の上に素子電極 1 2 0 2 を形成する。

【0 1 9 0】

4) 次に、同図 (d) に示すように、絶縁層の一部を、例えばエッチング法を用いて除去し、素子電極 1 2 0 3 を露出させる。

【0 1 9 1】

5) 次に、同図 (e) に示すように、微粒子膜を用いた導電性薄膜 1 2 0 4 を形成する。形成するには、平面型の場合と同じく、例えば塗布法などの成膜技術を用いればよい。

【0 1 9 2】

6) 次に、前述の平面型の場合と同じく、通電フォーミング処理を行い、第 1 のギャップ 1 2 0 5 を形成する。(図 1 5 (c) を用いて説明した平面型の通電フォーミング処理と同様の処理を行えばよい。)

7) 次に、平面型の場合と同じく、通電活性化処理を行い、導電性薄膜 1 2 0 4 上及び第 1 のギャップ 1 2 0 5 内に炭素もしくは炭素化合物を堆積させる。(図 1 5 (d) を用いて説明した平面型の通電活性化処理と同様の処理を行えばよい。) この場合も、堆積された炭素もしくは炭素化合物などの炭素を主成分とする膜 1 2 1 3 は、第 1 のギャップ 1 2 0 5 内に該第 1 のギャップよりも狭い第 2

のギャップ 1 2 0 7 を形成するように堆積される。

【 0 1 9 3 】

以上のようにして、図 1 9 ( f ) に示す垂直型の表面伝導型放出素子を製造した。

【 0 1 9 4 】

(表示装置に用いた表面伝導型放出素子の特性)

以上、平面型と垂直型の表面伝導型放出素子について素子構成と製法を説明したが、次に表示装置に用いた素子の特性について述べる。

【 0 1 9 5 】

図 2 0 に、表示装置に用いた素子の、(放出電流  $I_e$ ) 対 (素子印加電圧  $V_f$ ) 特性、および (素子電流  $I_f$ ) 対 (素子印加電圧  $V_f$ ) 特性の典型的な例を示す。なお、放出電流  $I_e$  は素子電流  $I_f$  に比べて著しく小さく、同一尺度で図示するのが困難であるうえ、これらの特性は素子の大きさや形状等の設計パラメータを変更することにより変化するものであるため、2 本のグラフは各々任意単位で図示した。表示装置に用いた素子は、放出電流  $I_e$  に関して以下に述べる 3 つの特性を有している。

【 0 1 9 6 】

第 1 に、ある電圧 (これを閾値電圧  $V_{th}$  と呼ぶ) 以上の大きさの電圧を素子に印加すると急激に放出電流  $I_e$  が増加するが、一方、閾値電圧  $V_{th}$  未満の電圧では放出電流  $I_e$  はほとんど検出されない。即ち、放出電流  $I_e$  に関して、明確な閾値電圧  $V_{th}$  を持った非線形素子である。

【 0 1 9 7 】

第 2 に、放出電流  $I_e$  は素子に印加する電圧  $V_f$  に依存して変化するため、電圧  $V_f$  で放出電流  $I_e$  の大きさを制御できる。

【 0 1 9 8 】

第 3 に、素子に印加する電圧  $V_f$  に対して素子から放出される電流  $I_e$  の応答速度が速いため、電圧  $V_f$  を印加する時間の長さによって素子から放出される電子の電荷量を制御できる。

【 0 1 9 9 】

以上のような特性を有するため、表面伝導型放出素子を表示装置に好適に用いることができた。例えば多数の素子を表示画面の画素に対応して設けた表示装置において、第 1 の特性を利用すれば、表示画面を順次走査して表示を行うことが可能である。即ち、駆動中の素子には所望の発光輝度に応じて閾値電圧  $V_{th}$  以上の電圧を適宜印加し、非選択状態の素子には閾値電圧  $V_{th}$  未満の電圧を印加する。駆動する素子を順次切り替えてゆくことにより、表示画面を順次走査して表示を行うことが可能である。

#### 【0200】

また、第 2 の特性、或は第 3 の特性を利用することにより、発光輝度を制御することができるため、諧調表示を行うことが可能である。

#### 【0201】

(多数素子を単純マトリクス配線したマルチ電子源の構造)

次に、上述の表面伝導型放出素子を基板上に配列して単純マトリクス配線したマルチ電子源の構造について述べる。

#### 【0202】

図 2 1 に示すのは、図 1 2 の表示パネルに用いたマルチ電子源の平面図である。基板上には、図 1 4 で示したものと同様な表面伝導型放出素子が配列され、これらの素子は行配線電極 1 0 0 3 と列配線電極 1 0 0 4 により単純マトリクス状に配線されている。行配線電極 1 0 0 3 と列配線電極 1 0 0 4 の交差する部分には、電極間に絶縁層（不図示）が形成されており、電氣的な絶縁が保たれている。

#### 【0203】

図 2 1 の A - A' に沿った断面を図 2 2 に示す。

#### 【0204】

なお、このような構造のマルチ電子源は、予め基板上に行配線電極 1 0 0 3、列配線電極 1 0 0 4、電極間絶縁層（不図示）、および表面伝導型放出素子の素子電極と導電性薄膜を形成した後、行配線電極 1 0 0 3 および列配線電極 1 0 0 4 を介して各素子に給電して通電フォーミング処理と通電活性化処理を行うことにより製造した。

## 【0205】

図23は、本実施の形態の表面伝導型放出素子を電子源として用いた表示パネルに、例えばテレビジョン放送をはじめとする種々の画像情報源より提供される画像情報を表示できるように構成した表示装置の一例を示すための図である。図中、1000は前述した表示パネル、2101は表示パネルの駆動回路、2102はディスプレイコントローラ、2103はマルチプレクサ、2104はデコーダ、2105は入出力インターフェース回路、2106はCPU、2107は画像生成回路、2108および2109および2110は画像メモリインターフェース回路、2111は画像入力インターフェース回路、2112および2113はTV信号受信回路、2114は入力部である。なお、本表示装置は、例えばテレビジョン信号のように映像情報と音声情報の両方を含む信号を受信する場合には、当然映像の表示と同時に音声を再生するものであるが、本実施の形態の特徴と直接関係しない音声情報の受信、分離、再生、処理、記憶などに関する回路やスピーカなどについては説明を省略する。

## 【0206】

以下、画像信号の流れに沿って各部の機能を説明してゆく。

## 【0207】

まず、TV信号受信回路2113は、例えば電波や空間光通信などのような無線伝送系を用いて伝送されるTV画像信号を受信するための回路である。受信するTV信号の方式は特に限られるものではなく、例えば、NTSC方式、PAL方式、SECAM方式などの諸方式でもよい。また、これらより更に多数の走査線よりなるTV信号（例えばMUSE方式をはじめとするいわゆる高品位TV）は、大面積化や大画素数化に適した表示パネルの利点を生かすのに好適な信号源である。TV信号受信回路2113で受信されたTV信号は、デコーダ2104に出力される。TV信号受信回路2112は、例えば同軸ケーブルや光ファイバなどのような有線伝送系を用いて伝送されるTV画像信号を受信するための回路である。TV信号受信回路2113と同様に、受信するTV信号の方式は特に限られるものではなく、また本回路で受信されたTV信号もデコーダ2104に出力される。

## 【0208】

画像入力インターフェース回路 2 1 1 1 は、例えば TV カメラや画像読み取りスキャナなどの画像入力装置から供給される画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ 2 1 0 4 に出力される。画像メモリインターフェース回路 2 1 1 0 は、ビデオテープレコーダ（以下 V T R と略す）に記憶されている画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ 2 1 0 4 に出力される。画像メモリインターフェース回路 2 1 0 9 は、ビデオディスクに記憶されている画像信号を取り込むための回路で、取り込まれた画像信号はデコーダ 2 1 0 4 に出力される。画像メモリインターフェース回路 2 1 0 8 は、いわゆる静止画ディスクのように、静止画像データを記憶している装置から画像信号を取り込むための回路で、取り込まれた静止画像データはデコーダ 2 1 0 4 に出力される。

## 【0209】

入出力インターフェース回路 2 1 0 5 は、本表示装置と、外部のコンピュータもしくはコンピュータネットワークもしくはプリンタなどの出力装置とを接続するための回路である。画像データや文字データ・図形情報の入出力を行うのはもちろんのこと、場合によっては本表示装置の備える CPU 2 1 0 6 と外部との間で制御信号や数値データの入出力などを行うことも可能である。

## 【0210】

画像生成回路 2 1 0 7 は、入出力インターフェース回路 2 1 0 5 を介して外部から入力される画像データや文字・図形情報や、或は CPU 2 1 0 6 より出力される画像データや文字・図形情報に基づき表示用画像データを生成するための回路である。本回路の内部には、例えば画像データや文字・図形情報を蓄積するための書き換え可能メモリや、文字コードに対応する画像パターンが記憶されている読みだし専用メモリや、画像処理を行うためのプロセッサなどをはじめとして画像の生成に必要な回路が組み込まれている。本回路により生成された表示用画像データは、デコーダ 2 1 0 4 に出力されるが、場合によっては入出力インターフェース回路 2 1 0 5 を介して外部のコンピュータネットワークやプリンタ入出力することも可能である。

## 【0 2 1 1】

CPU 2 1 0 6 は、主として本実施の形態の表示装置の動作制御や、表示画像の生成や選択や編集に関わる作業を行う。例えば、マルチプレクサ 2 1 0 3 に制御信号を出力し、表示パネルに表示する画像信号を適宜選択したり組み合わせたりする。また、その際には表示する画像信号に応じて表示パネルコントローラ 2 1 0 2 に対して制御信号を発生し、画面表示周波数や走査方法（例えばインターレースかノンインターレースか）や一画面の走査線の数など表示装置の動作を適宜制御する。

## 【0 2 1 2】

また、画像生成回路 2 1 0 7 に対して画像データや文字・図形情報を直接出力したり、或は入出力インターフェース回路 2 1 0 5 を介して外部のコンピュータやメモリをアクセスして画像データや文字・図形情報を入力する。

## 【0 2 1 3】

なお、CPU 2 1 0 6 は、むろんこれ以外の目的の作業にも関わるものであっても良い。例えば、パーソナルコンピュータやワードプロセッサなどのように、情報を生成したり処理する機能に直接関わっても良い。或は、前述したように入出力インターフェース回路 2 1 0 5 を介して外部のコンピュータネットワークと接続し、例えば数値計算などの作業を外部機器と協同して行っても良い。

## 【0 2 1 4】

入力部 2 1 1 4 は、CPU 2 1 0 6 に使用者が命令やプログラム、或はデータなどを入力するためのものであり、例えばキーボードやマウスのほか、ジョイスティック、バーコードリーダ、音声認識装置など多様な入力機器を用いる事が可能である。デコーダ 2 1 0 4 は、2 1 0 7 ないし 2 1 1 3 より入力される種々の画像信号を 3 原色信号、または輝度信号と I 信号、Q 信号に逆変換するための回路である。なお、同図中に点線で示すように、デコーダ 2 1 0 4 は内部に画像メモリを備えるのが望ましい。これは、例えば MUSE 方式をはじめとして、逆変換するに際して画像メモリを必要とするようなテレビ信号を扱うためである。また、画像メモリを備えることにより、静止画の表示が容易になる、或は画像生成回路 2 1 0 7 および CPU 2 1 0 6 と協同して画像の間引き、補間、拡大、縮小

，合成をはじめとする画像処理や編集が容易に行えるようになるという利点が生まれるからである。

【0 2 1 5】

マルチプレクサ 2 1 0 3 は、CPU 2 1 0 6 より入力される制御信号に基づき表示画像を適宜選択するものである。即ち、マルチプレクサ 2 1 0 3 はデコーダ 2 1 0 4 から入力される逆変換された画像信号のうちから所望の画像信号を選択して駆動回路 2 1 0 1 に出力する。その場合には、一画面表示時間内で画像信号を切り替えて選択することにより、いわゆる多画面テレビのように、一画面を複数の領域に分けて領域によって異なる画像を表示することも可能である。

【0 2 1 6】

表示パネルコントローラ 2 1 0 2 は、CPU 2 1 0 6 より入力される制御信号に基づき駆動回路 2 1 0 1 の動作を制御するための回路である。まず、表示パネルの基本的な動作にかかわるものとして、例えば表示パネルの駆動用電源（図示せず）の動作シーケンスを制御するための信号を駆動回路 2 1 0 1 に対して出力する。また、表示パネルの駆動方法に関わるものとして、例えば画面表示周波数や走査方法（例えばインターレースかノンインターレースか）を制御するための信号を駆動回路 2 1 0 1 に対して出力する。また、場合によっては表示画像の輝度やコントラストや色調やシャープネスといった画質の調整に関わる制御信号を駆動回路 2 1 0 1 に対して出力する場合もある。駆動回路 2 1 0 1 は、表示パネル 1 0 0 0 に印加する駆動信号を発生するための回路であり、マルチプレクサ 2 1 0 3 から入力される画像信号と、表示パネルコントローラ 2 1 0 2 より入力される制御信号に基づいて動作するものである。

【0 2 1 7】

以上、各部の機能を説明したが、図 2 3 に例示した構成により、本表示装置においては多様な画像情報源より入力される画像情報を表示パネル 1 0 0 0 に表示する事が可能である。即ち、テレビジョン放送をはじめとする各種の画像信号はデコーダ 2 1 0 4 において逆変換された後、マルチプレクサ 2 1 0 3 において適宜選択され、駆動回路 2 1 0 1 に入力される。一方、表示パネルコントローラ 2 1 0 2 は、表示する画像信号に応じて駆動回路 2 1 0 1 の動作を制御するための



制御信号を発生する。駆動回路 2 1 0 1 は、上記画像信号と制御信号に基づいて表示パネル 1 0 0 0 に駆動信号を印加する。これにより、表示パネル 1 0 0 0 において画像が表示される。これらの一連の動作は、CPU 2 1 0 6 により統括的に制御される。

#### 【0 2 1 8】

また、本表示装置においては、デコーダ 2 1 0 4 に内蔵する画像メモリや、画像生成回路 2 1 0 7 および CPU 2 1 0 6 が関与することにより、単に複数の画像情報の中から選択したものを表示するだけでなく、表示する画像情報に対して、例えば拡大、縮小、回転、移動、エッジ強調、間引き、補間、色変換、画像の縦横比変換などをはじめとする画像処理や、合成、消去、接続、入れ換え、はめ込みなどをはじめとする画像編集を行う事も可能である。また、本実施の形態の説明では特に触れなかったが、上記画像処理や画像編集と同様に、音声情報に関しても処理や編集を行うための専用回路を設けても良い。

#### 【0 2 1 9】

従って、本表示装置は、テレビジョン放送の表示機器、テレビ会議の端末機器、静止画像および動画像を扱う画像編集機器、コンピュータの端末機器、ワードプロセッサをはじめとする事務用端末機器、ゲーム機などの機能を一台で兼ね備える事が可能で、産業用或は民生用として極めて応用範囲が広い。

#### 【0 2 2 0】

なお、図 2 3 は、表面伝導型放出素子を電子源とする表示パネルを用いた表示装置の構成の一例を示したにすぎず、これのみに限定されるものではない事は言うまでもない。例えば、図 2 3 の構成要素のうち使用目的上必要のない機能に関わる回路は省いても差し支えない。またこれとは逆に、使用目的によっては更に構成要素を追加しても良い。例えば、本表示装置をテレビ電話機として応用する場合には、テレビカメラ、音声マイク、照明機、モデムを含む送受信回路などを構成要素に追加するのが好適である。

#### 【0 2 2 1】

本表示装置においては、とりわけ表面伝導型放出素子を電子源とする表示パネルが容易に薄形化できるため、表示装置全体の奥行きを小さくすることが可能で

ある。それに加えて、表面伝導型放出素子を電子源とする表示パネルは大画面化が容易で輝度が高く視野角特性にも優れるため、本表示装置は臨場感あふれ迫力に富んだ画像を視認性良く表示する事が可能である。

【0 2 2 2】

尚、本実施の形態では、行配線に負の電位、列方向に正の電位を印加する例で説明したが、本発明はこれに限定されるものでなく、その逆でもよい。

【0 2 2 3】

また上述の実施の形態とは逆に、列配線を順次選択し、行配線に補償電圧を印加して漏れ電流が発生する行配線を求めるようにしても良い。要するに、行配線及び列配線に電圧を印加する方法は上述した本実施の形態に限定されるものではない。

【0 2 2 4】

また本実施の形態では、1ライン毎に順次活性化を行うように説明したが、本発明はこれに限定されるものではなく、例えば列単位に順次行ってもよい。

【0 2 2 5】

また、本実施の形態では、高抵抗化パルスの導入において、配線抵抗による電圧降下の影響について、補正を行っていないが、本発明はこれに限定されるものでなく、当然補償する場合も考えられる。この場合、電圧補償すべき電圧値は、活性化時にモニタしている電流値により見積もられる。

【0 2 2 6】

以上説明したように本実施の形態によれば、通電活性化時に活性化に寄与しない無効電流を検出し、無効電流の流れる素子に対して高抵抗化パルスを印加しつつ、活性化を行うことにより基板全体で素子特性が揃った複数の表面伝導型放出素子を備える電子源が得られる。

【0 2 2 7】

このような複数の表面伝導型放出素子を配置した電子源を用いて表示パネルを形成することにより、輝度分布が少なく、高輝度で高品位な画像が形成できる画像表示装置を実現することができる。

【0 2 2 8】

また本実施の形態によれば、通電活性化時において、非選択の素子に流れる無効電流を減少させることができる。

【0 2 2 9】

また、本実施の形態によれば、全素子に対して同じ電圧を印加し活性化することにより、均一な電子放出特性を持つ電子源とその電子源を用いた画像表示装置を提供できる。

【0 2 3 0】

更に本実施の形態によれば、表面伝導型放出素子の劣化を防止できるという効果がある。

【0 2 3 1】

【発明の効果】

以上説明したように本発明によれば、複数の電子放出素子を備える電子源の製造時における通電工程において、無効電流を減少させることができる。

【0 2 3 2】

また本発明によれば、複数の電子放出素子を備える電子源の製造時における通電工程において用いられる製造装置の電源容量を小さくすることができる。

【0 2 3 3】

また本発明によれば、複数の電子放出素子が配線抵抗による電圧降下の影響を補償することにより、互いに均一な電子放出特性をもつ電子源とその製造方法及びその通電活性化装置を提供できる。

【0 2 3 4】

また本発明によれば、輝度ばらつきの小さな画像表示装置とその製造方法を提供することができる。

【0 2 3 5】

更に、本発明によれば、その製造工程時、あるいは駆動時において、電子放出素子の劣化を防止できるという効果がある。

【図面の簡単な説明】

【図 1】

本実施の形態の通電活性化装置の構成を示すブロック図である。

【図 2】

本実施の形態のライン選択部の構成を示すブロック図である。

【図 3】

本実施の形態の画素選択側出力電圧アンプの構成を示すブロック図である。

【図 4】

本実施の形態のライン電流検出部（a）及び画素選択電流検出部（b）の構成を示すブロック図である。

【図 5】

1 本の行配線に接続された電子放出素子における電圧降下を説明する図である。

【図 6】

本実施の形態における活性化のための印加電圧パルスの V - t 特性を示す図である。

【図 7】

本実施の形態における高抵抗化パルスの V - t 特性を示す図である。

【図 8】

本発明の実施の形態 1 に係る制御部による活性化処理を示すフローチャートである。

【図 9】

本発明の実施の形態 2 に係る制御部による活性化処理を示すフローチャートである。

【図 1 0】

本実施の形態 3 の高抵抗化パルスの V - t 特性を示す図である。

【図 1 1】

本発明の実施の形態 3 に係る制御部による活性化処理を示すフローチャートである。

【図 1 2】

本発明の実施の形態の画像表示装置の表示パネルの一部を切り欠いて示した斜視図である。

【図 1 3】

本実施の形態の表示パネルのフェースプレートの蛍光体配列を例示した平面図である。

【図 1 4】

本実施の形態で用いた平面型の表面伝導型放出素子の平面図（a），断面図（b）である。

【図 1 5】

本実施の形態の平面型の表面伝導型放出素子の製造工程を示す断面図である。

【図 1 6】

通電フォーミング処理の際の印加電圧波形を示す図である。

【図 1 7】

通電活性化処理の際の印加電圧波形（a），放電電流  $I_e$  の変化（b）を示す図である。

【図 1 8】

本実施の形態で用いた垂直型の表面伝導型放出素子の断面図である。

【図 1 9】

垂直型の表面伝導型放出素子の製造工程を示す断面図である。

【図 2 0】

本実施の形態で用いた表面伝導型放出素子の典型的な特性を示すグラフ図である。

【図 2 1】

本実施の形態で用いたマルチ電子源の基板の平面図である。

【図 2 2】

図 2 1 のマルチ電子源の基板の A－A' の断面図である。

【図 2 3】

本実施の形態の表示パネルを用いた多機能表示装置の構成を示すブロック図である。

【図 2 4】

従来知られた表面伝導型放出素子の一例を示す図である。

【図 2 5】

本発明の課題が生じたマトリクス配線を説明する図である。

【図 2 6】

2 行目の行配線を活性化する場合の等価回路図である。

【図 2 7】

活性化処理における印加電圧信号の波形を示す図である。

【図 2 8】

活性化処理における経過時間と素子電流との関係を示す図である。

【図 2 9】

活性化処理において各素子に印加される電圧と、列配線から印加される補償電圧を説明する図である。

【図 3 0】

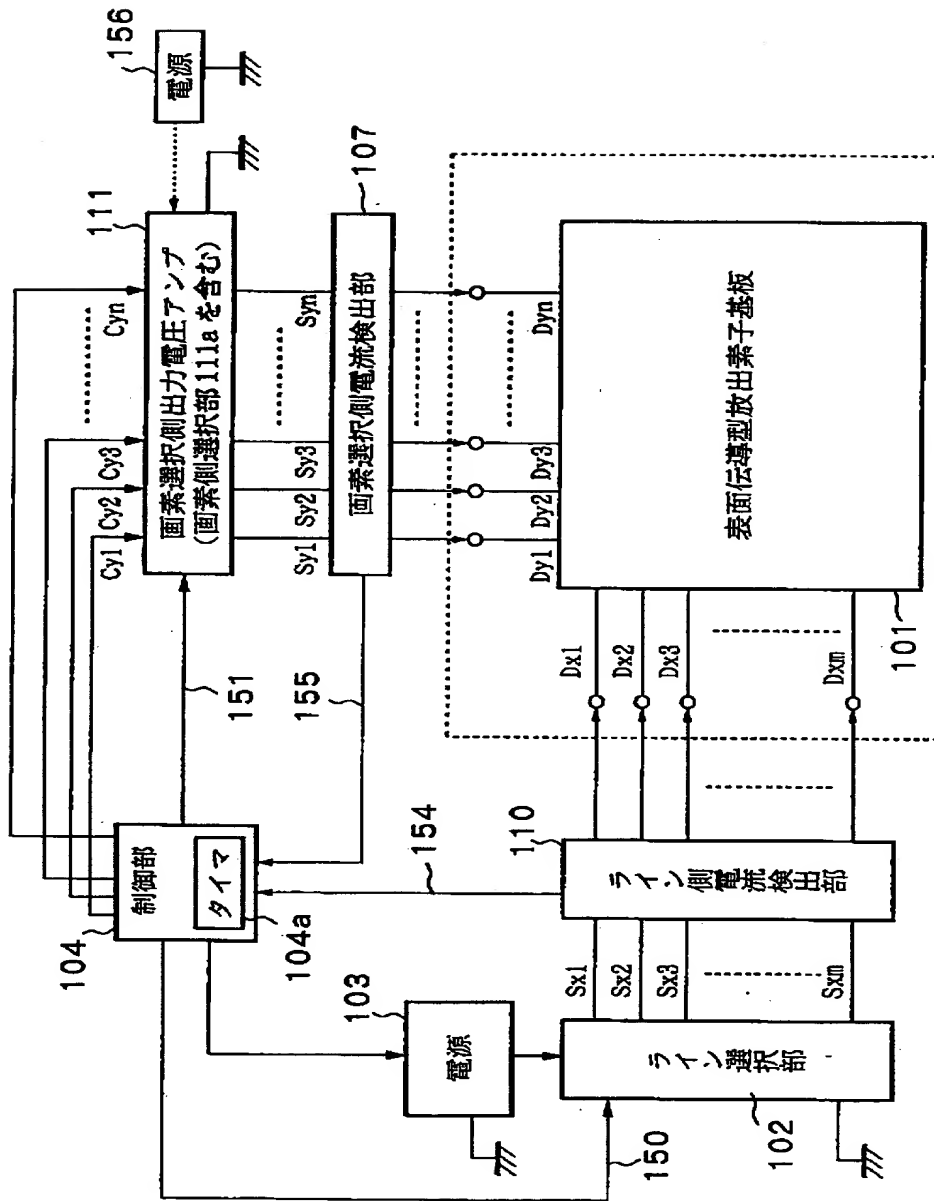
活性化処理において選択されて活性化される素子と、補償電圧による半選択素子を説明する図である。

【図 3 1】

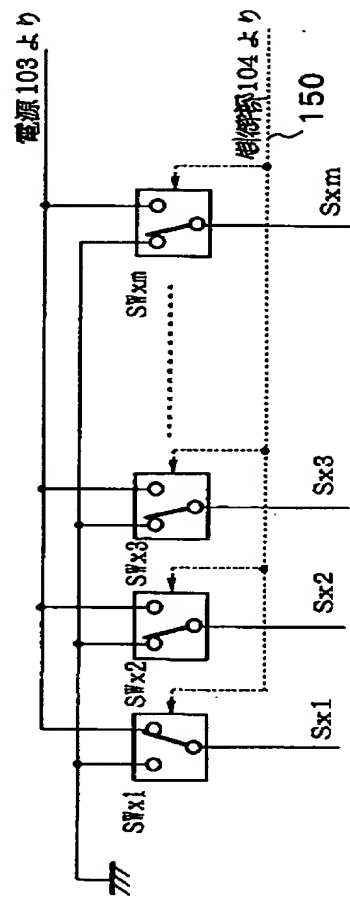
本実施の形態で用いた表面伝導型放出素子の静特性を説明するグラフ図である。

【書類名】 図面

【図 1】

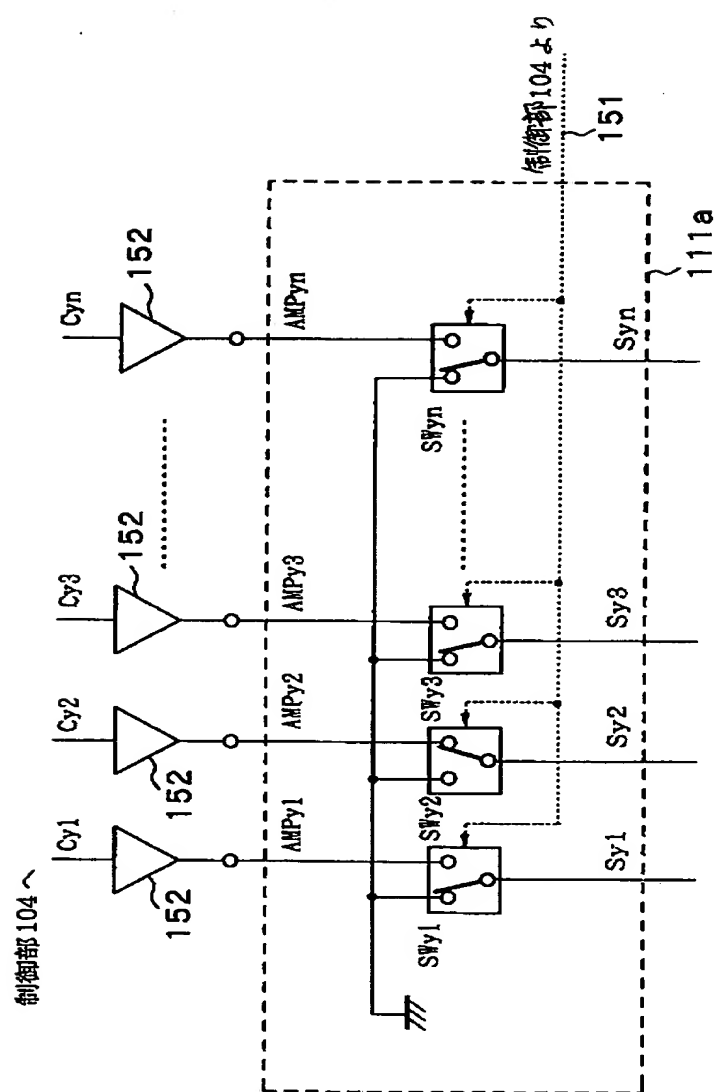


【図 2】



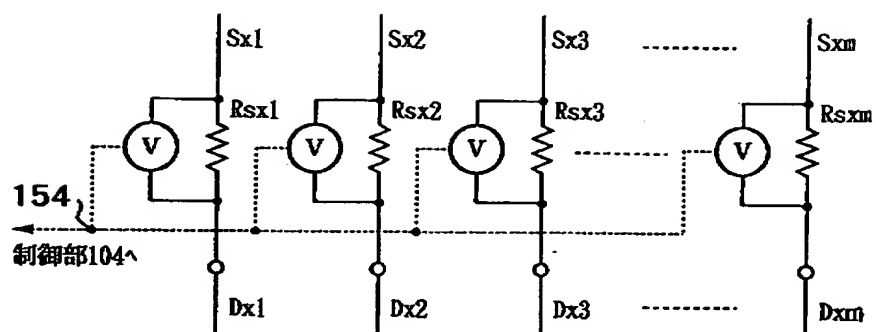


【図 3】

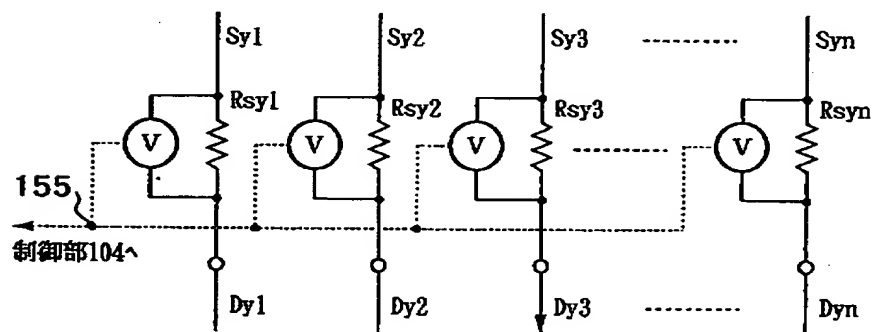


【図 4】

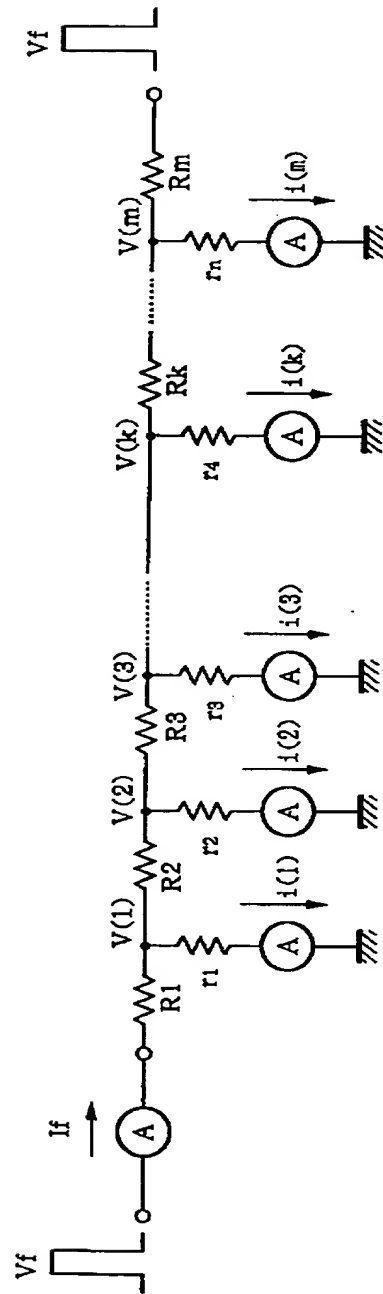
(a)



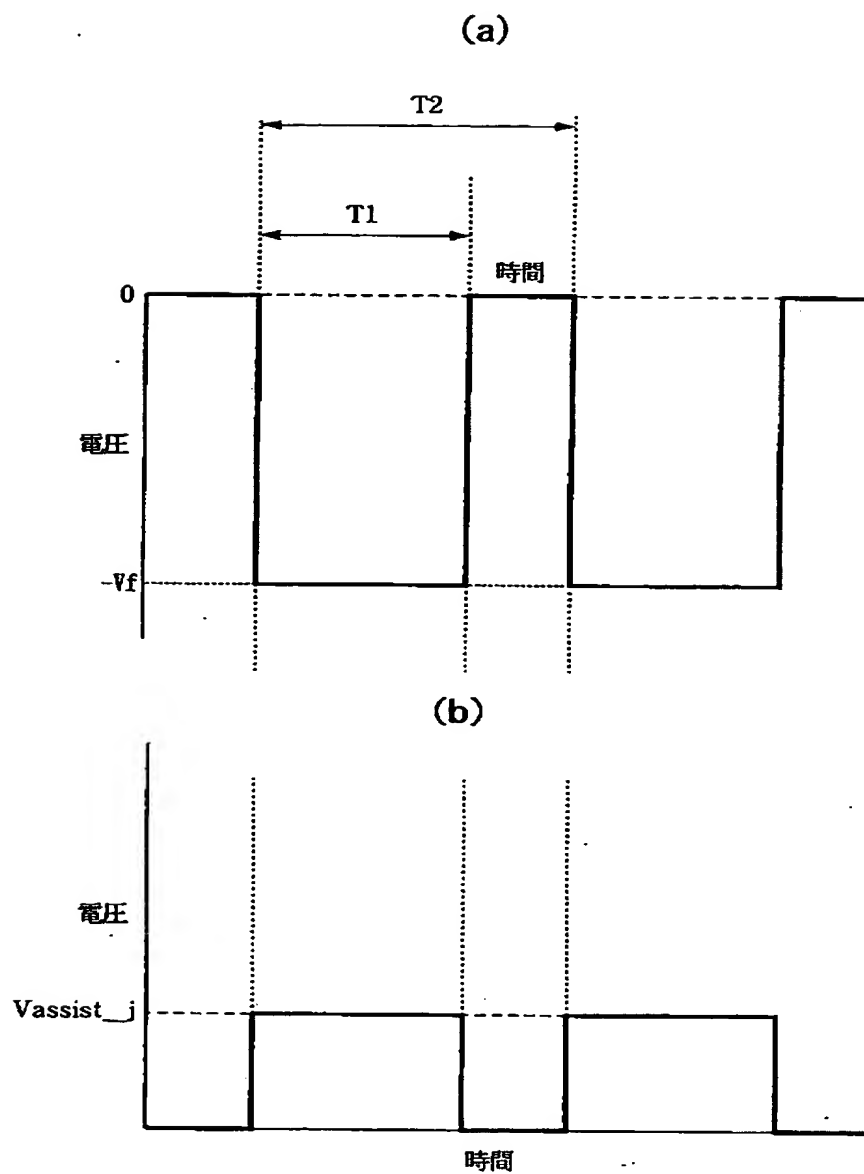
(b)



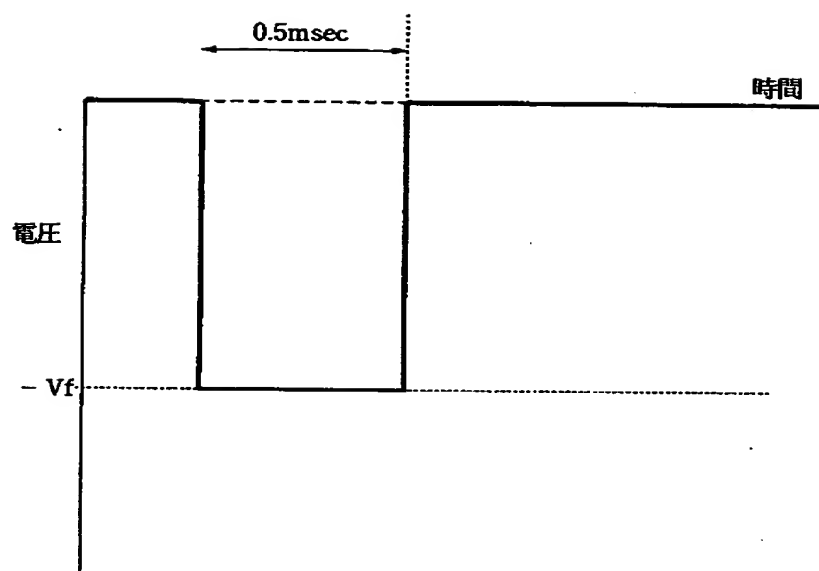
【図 5】



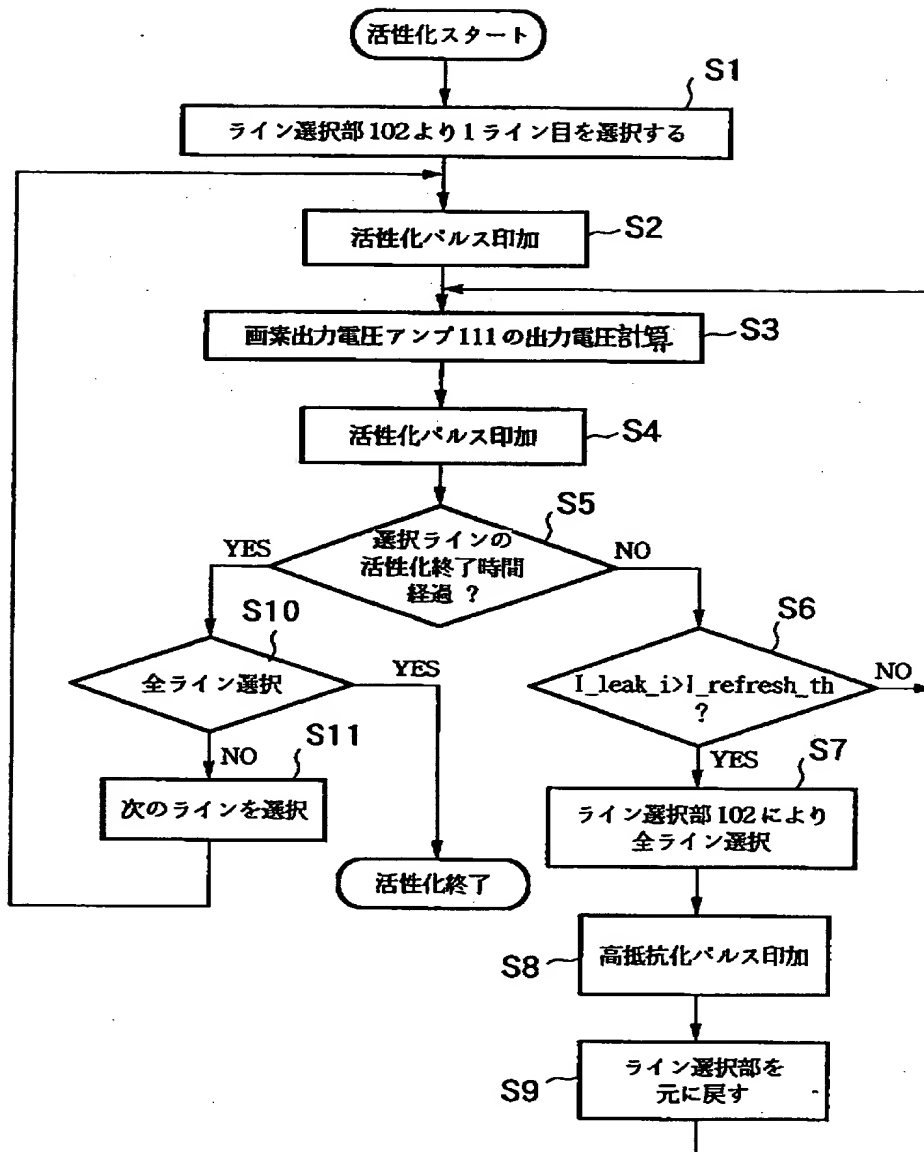
【図 6】



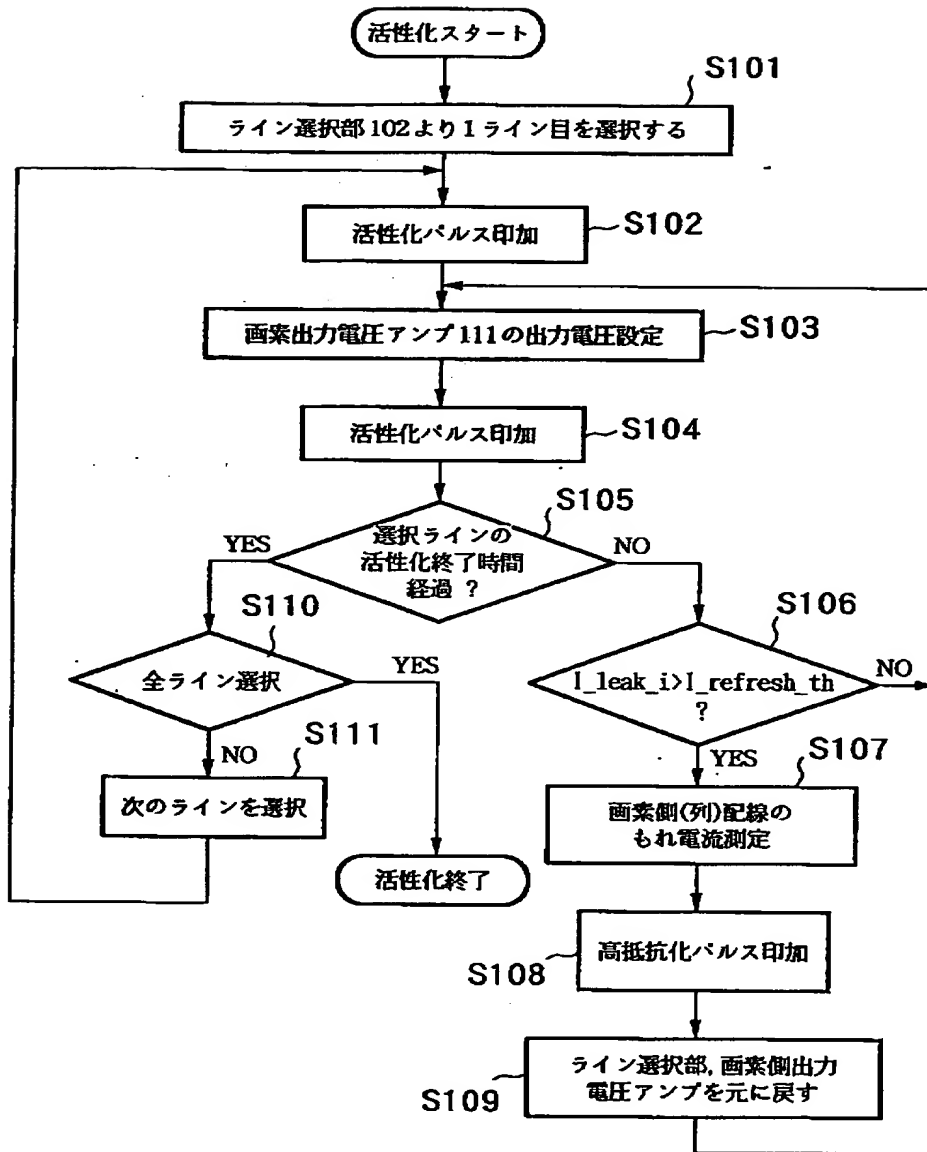
【図 7】



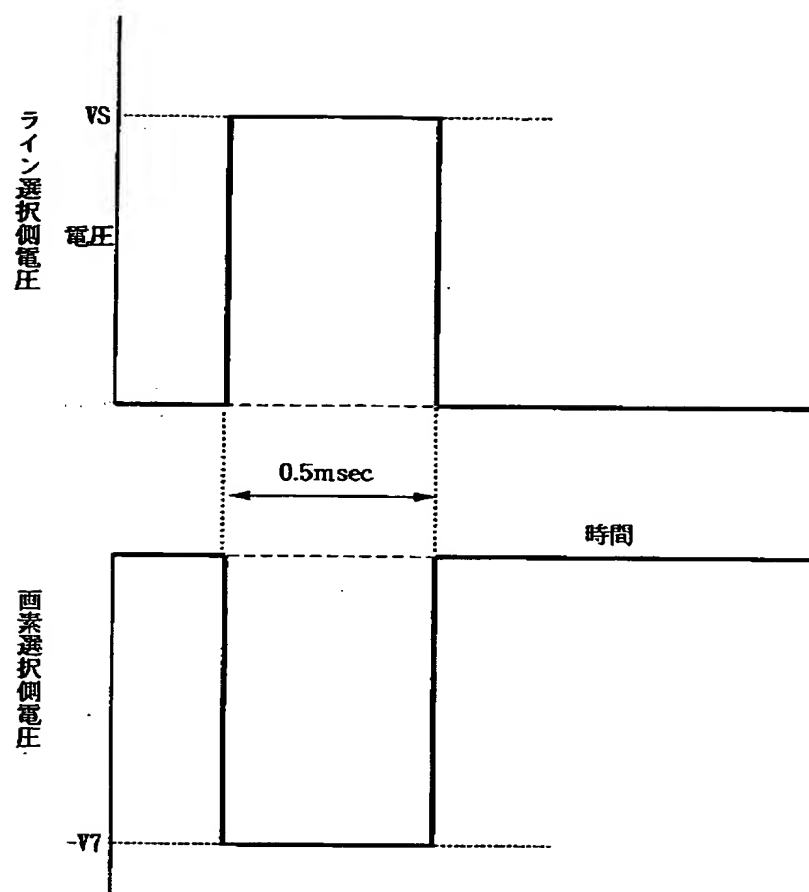
【図 8】



【図 9】

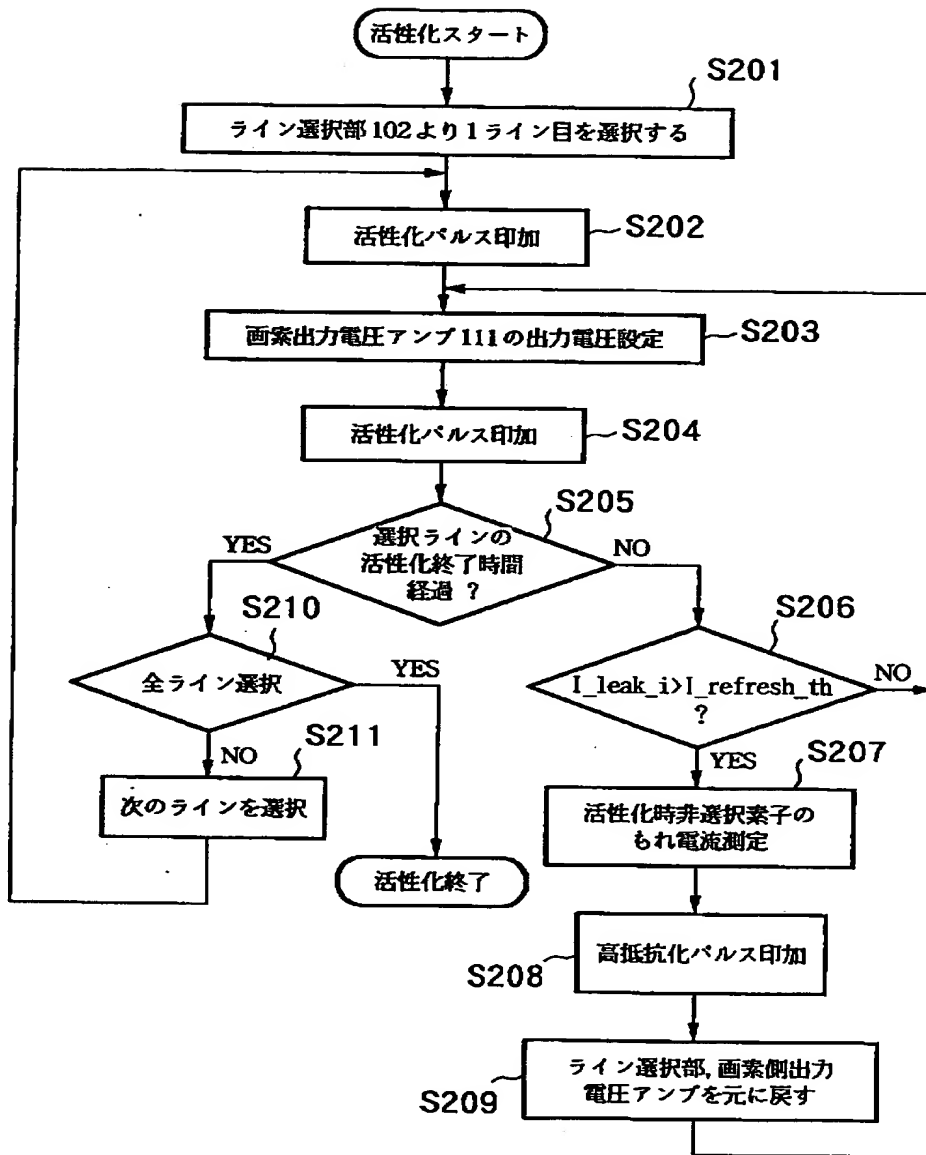


【図 1 0】

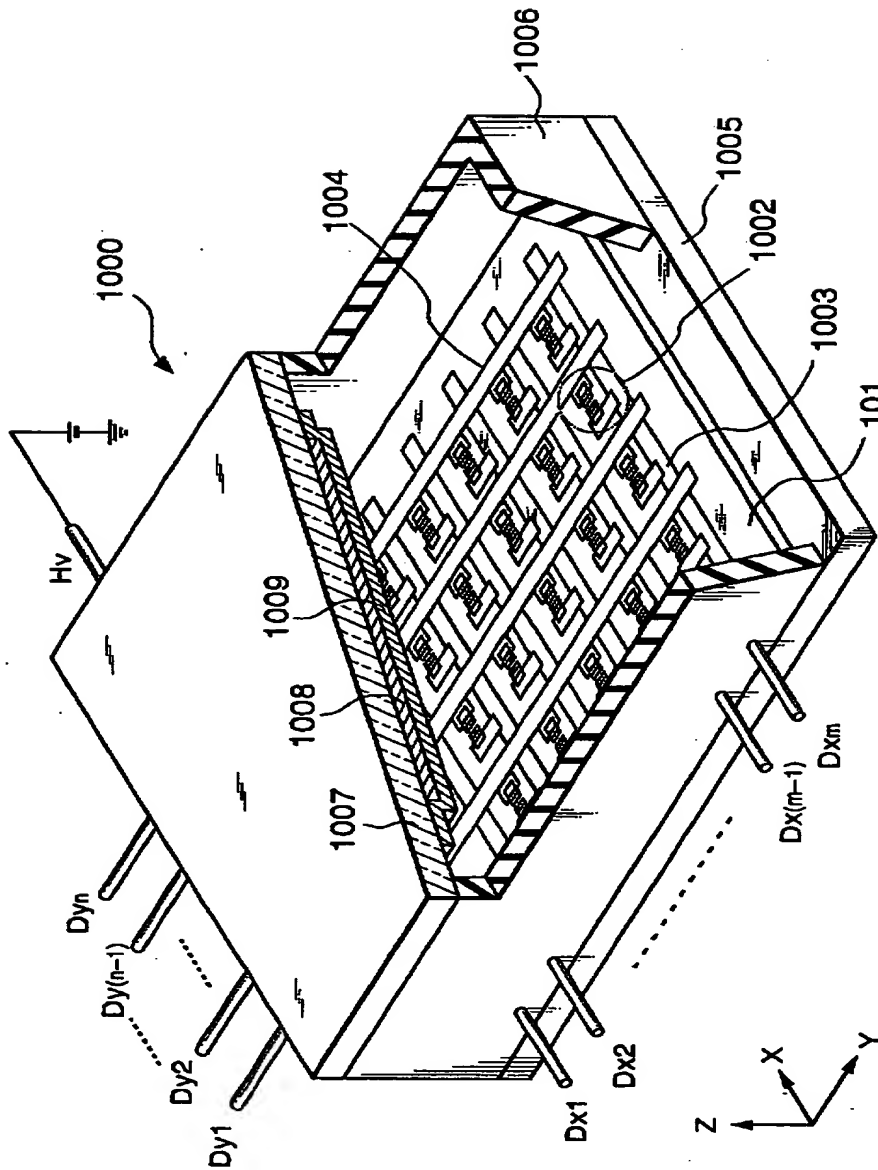




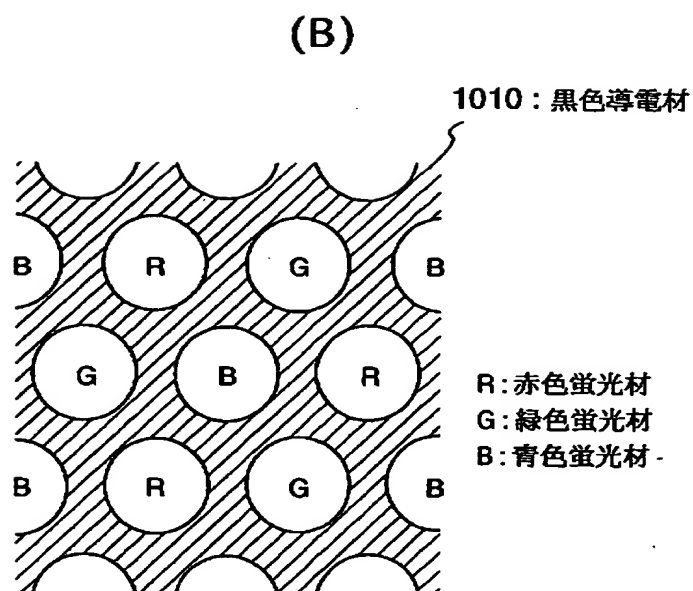
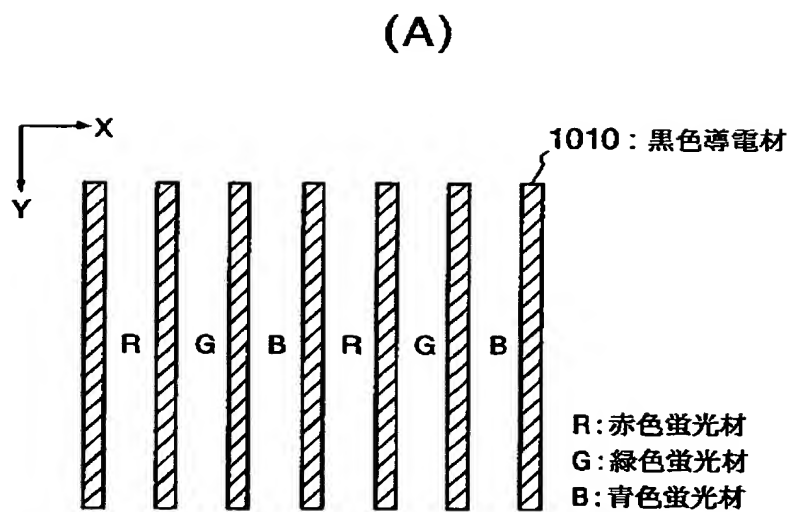
【図 1 1】



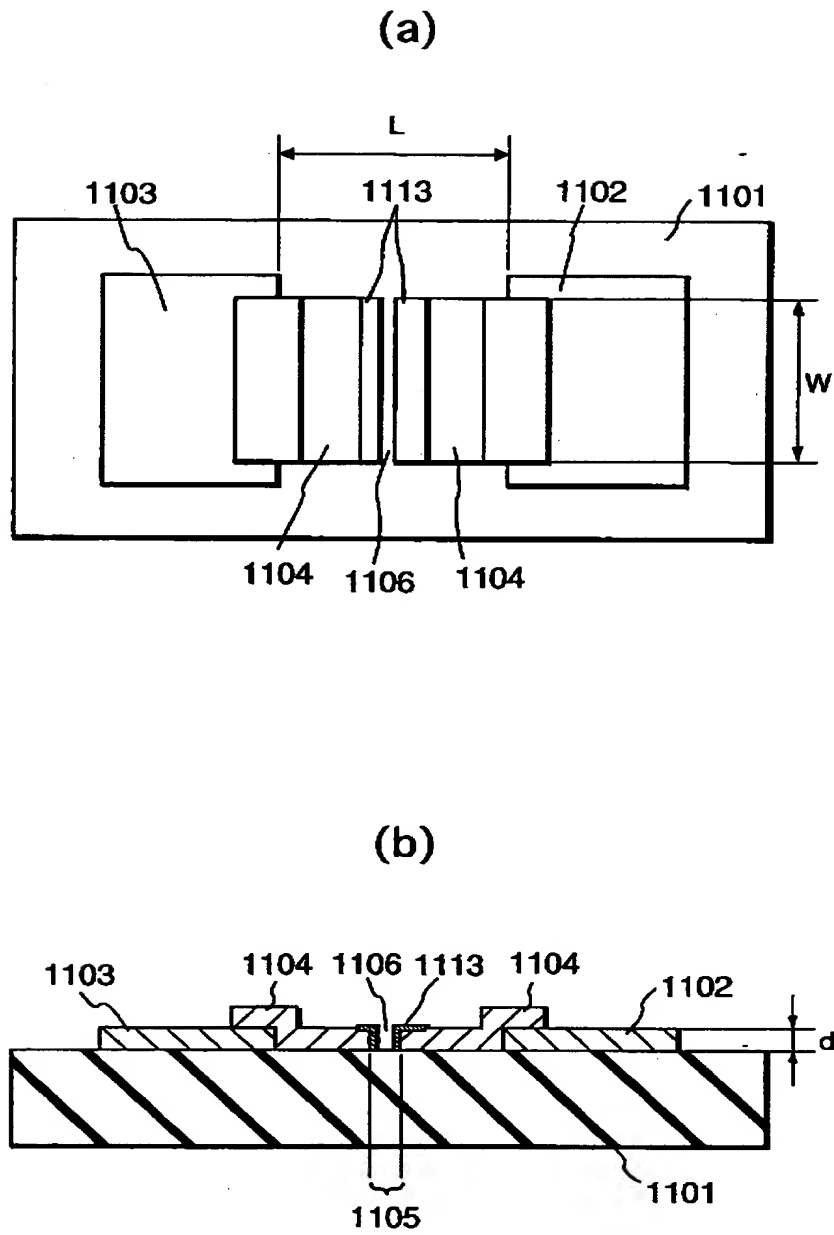
【图 12】



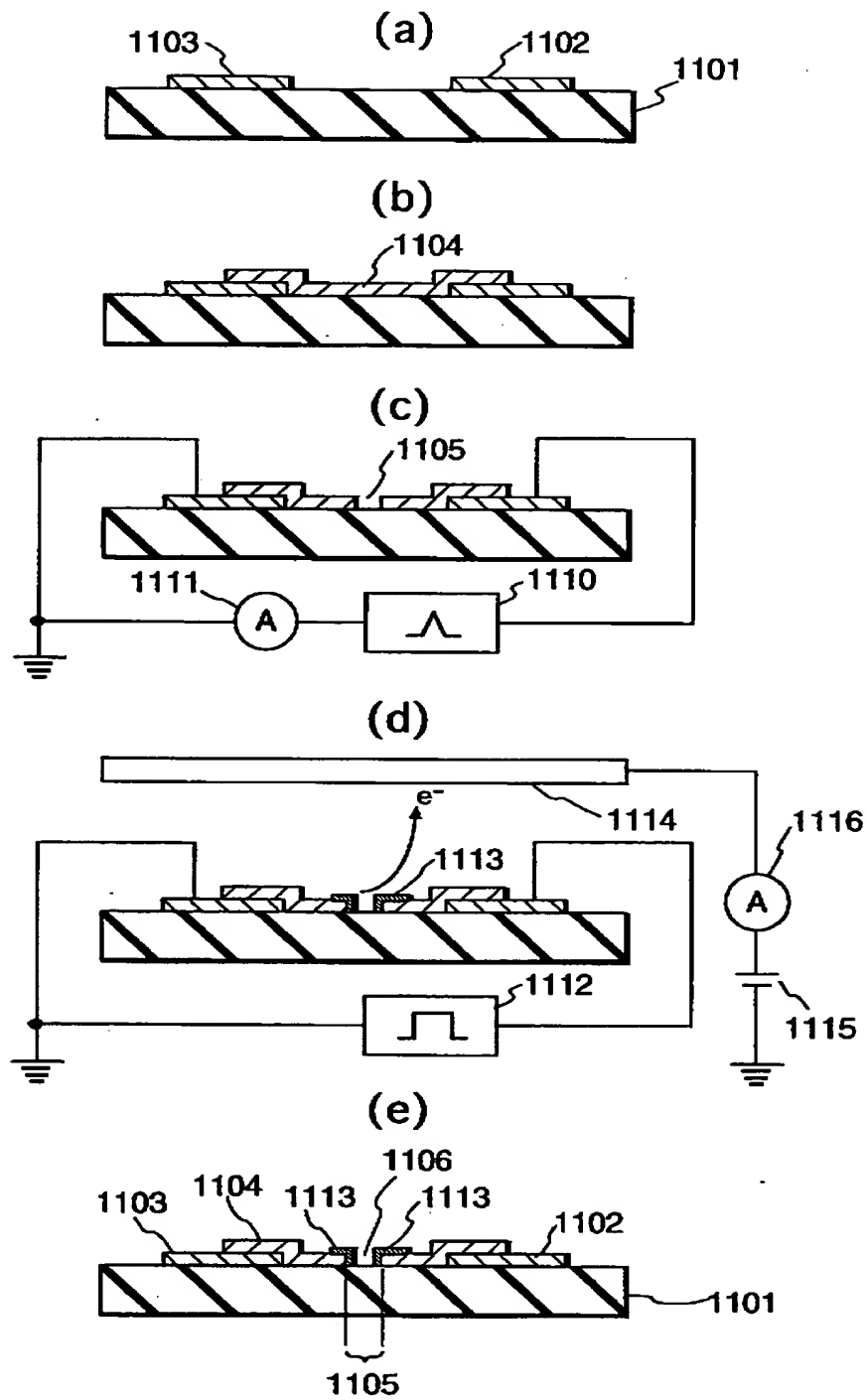
【図 1 3】



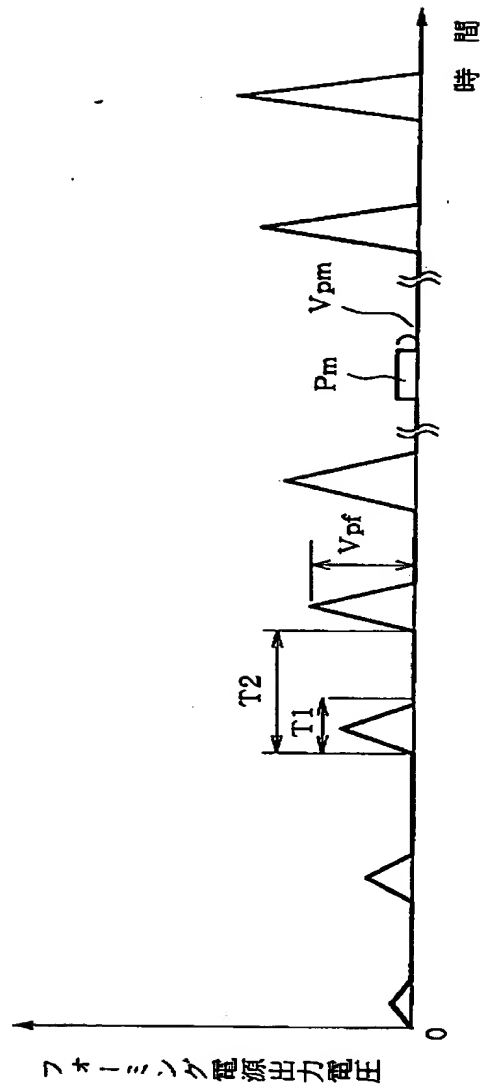
【図 1 4】



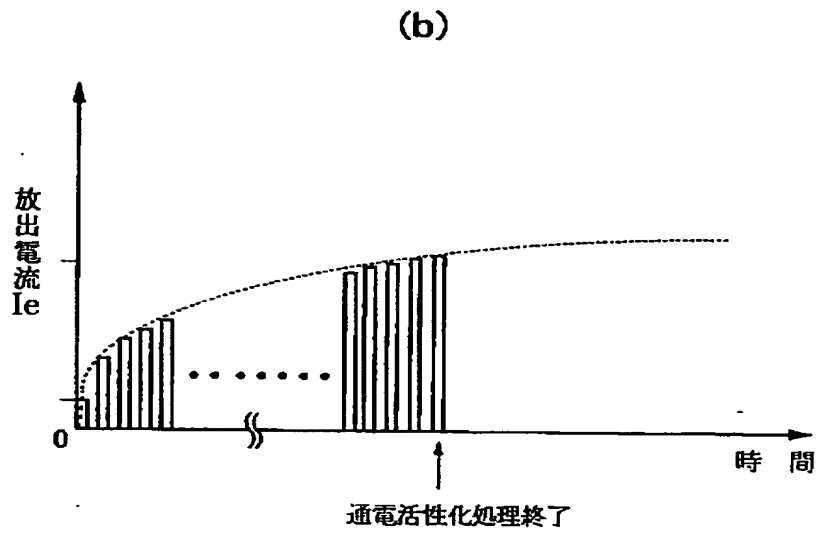
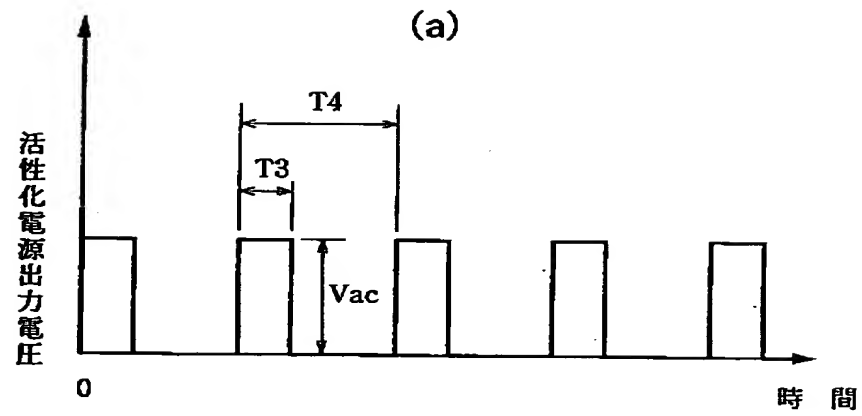
【図 1 5】



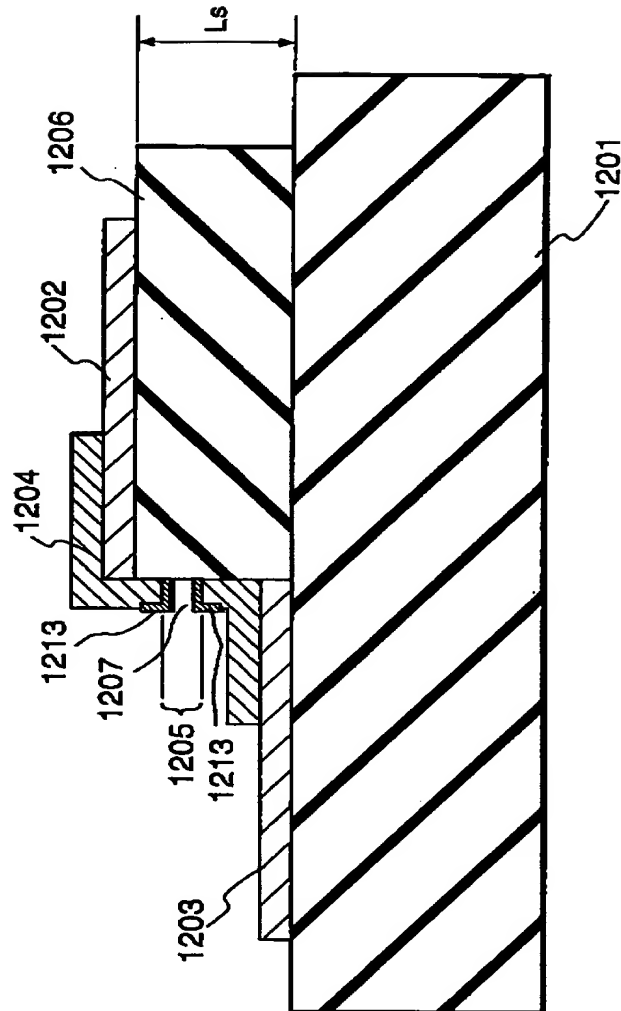
【図 1 6】



【図 1 7】

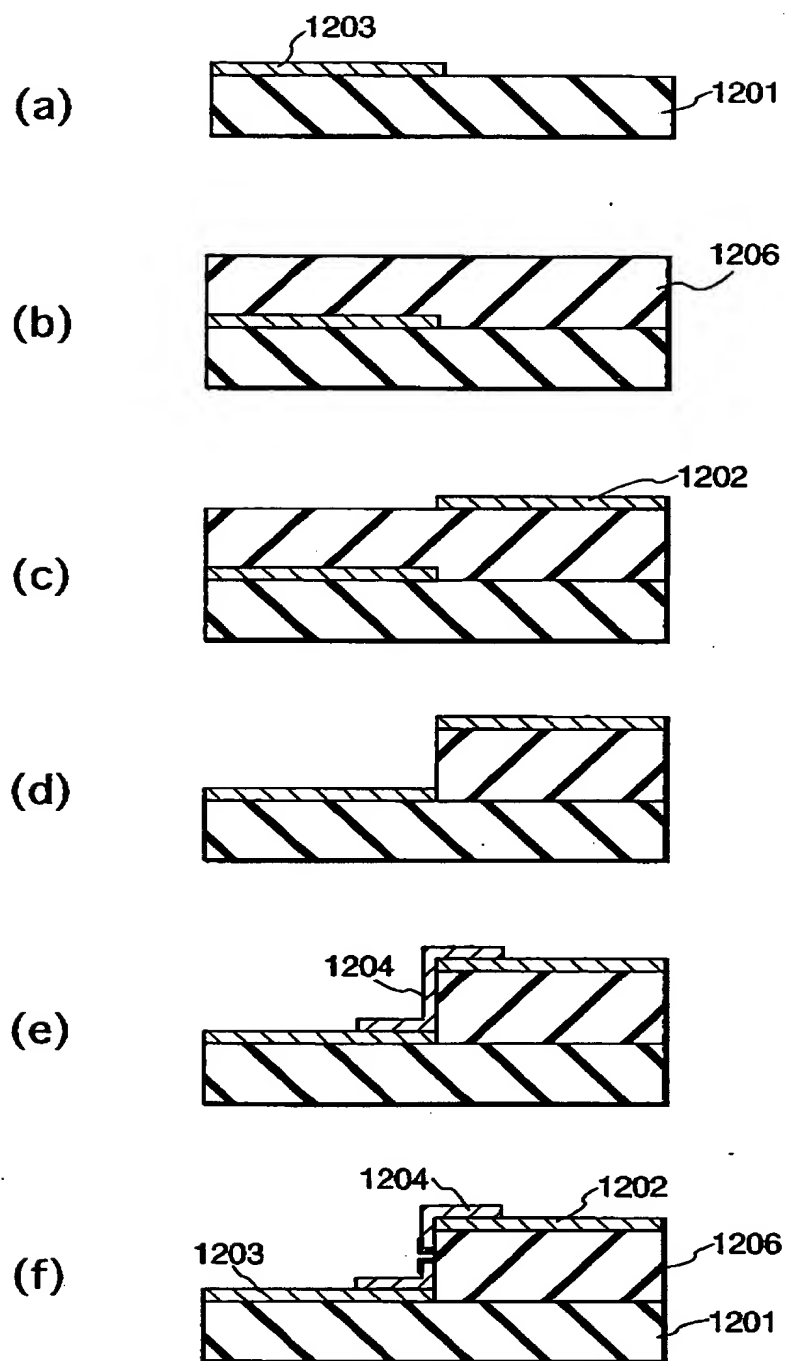


【図 1 8】

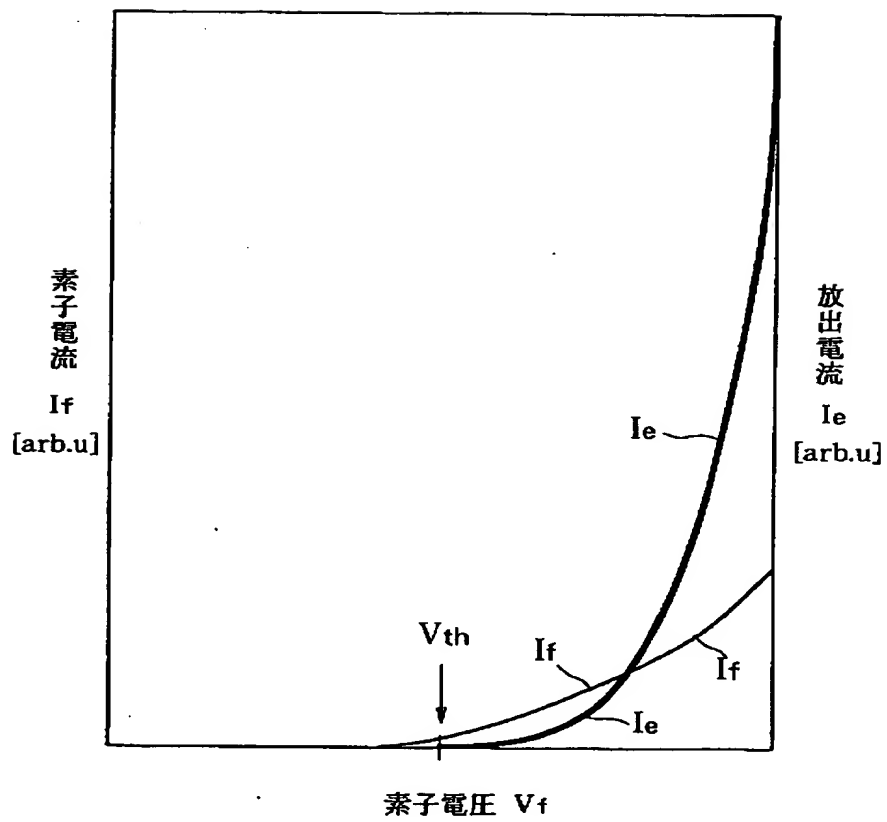




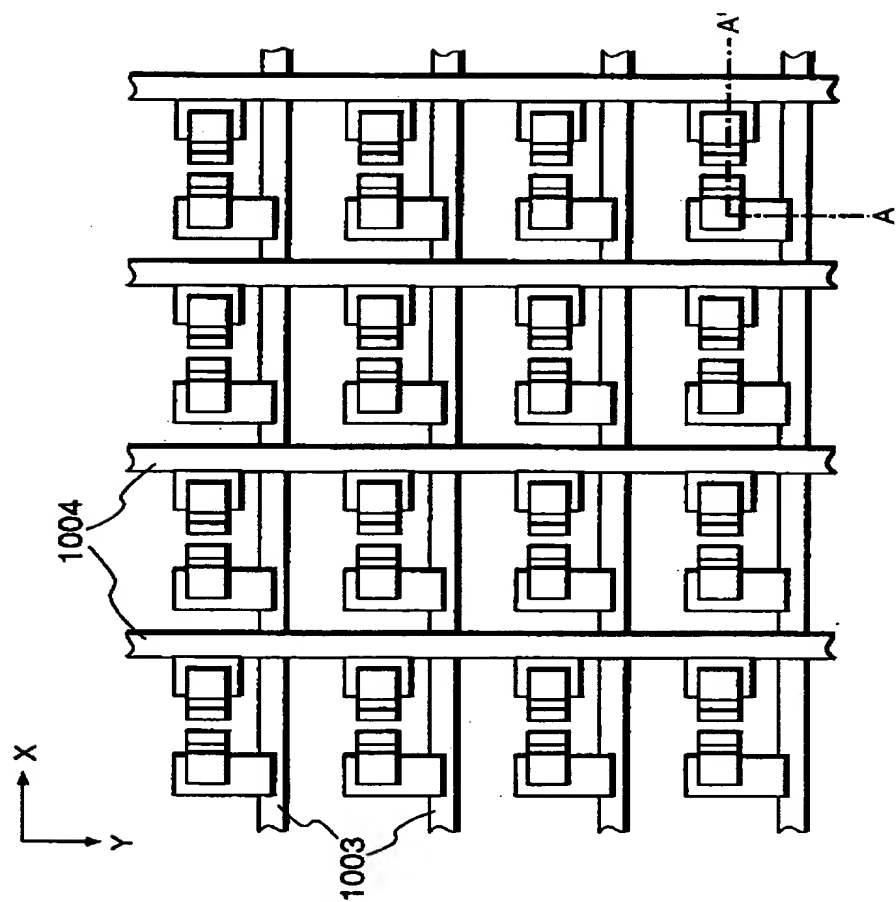
【図 1 9】



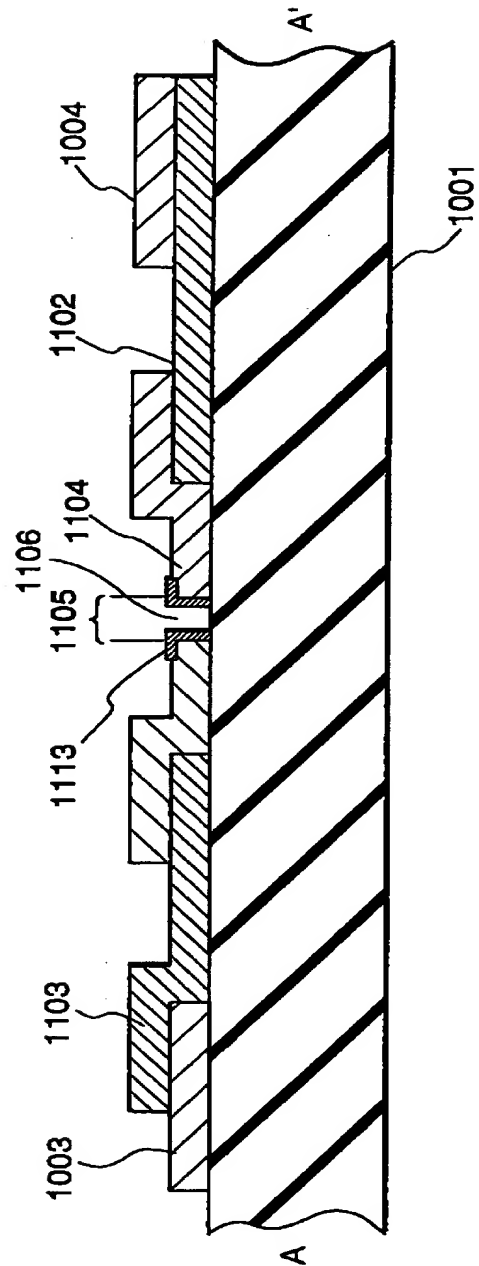
【図 2 0】



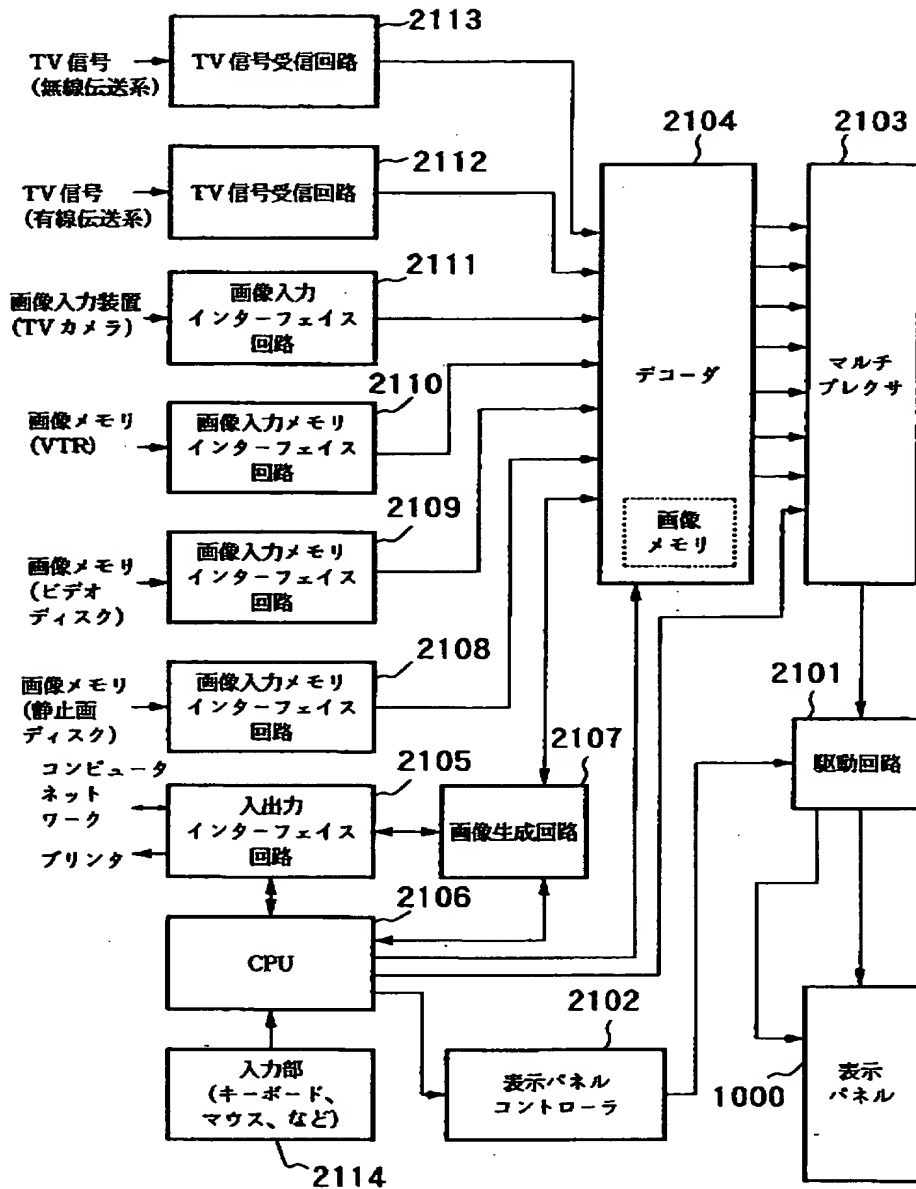
【図 2 1】



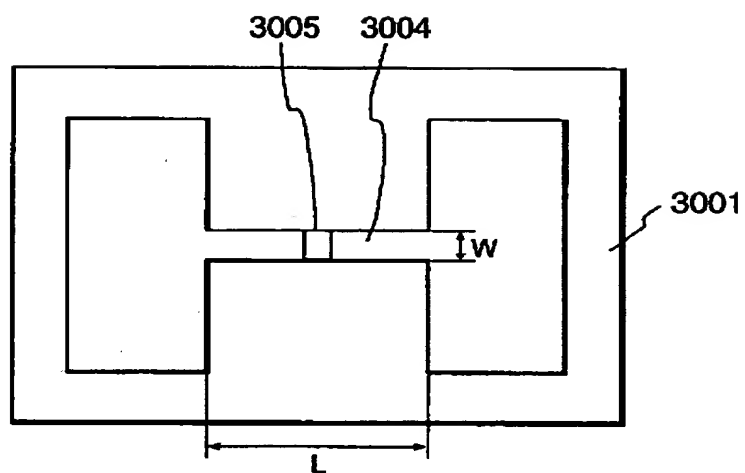
【図 2 2】



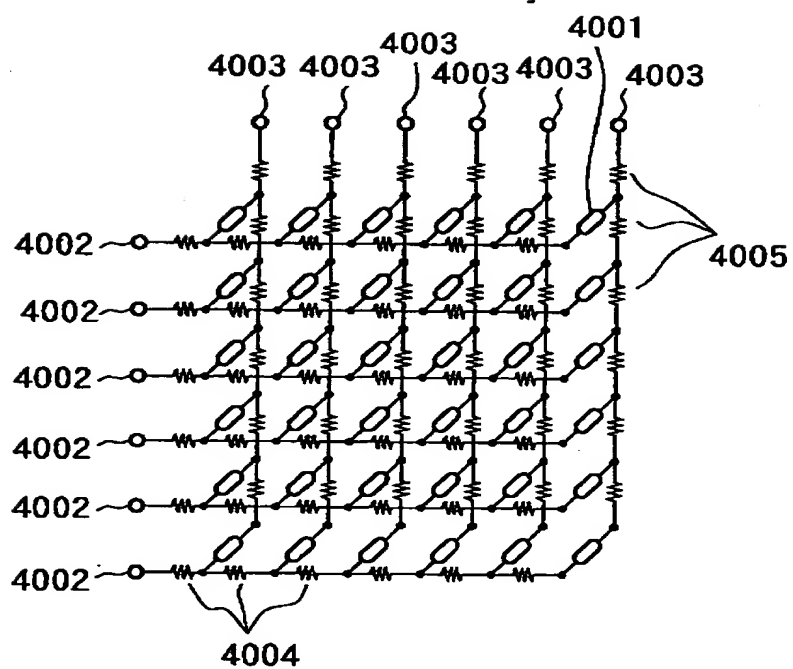
【図 2 3】



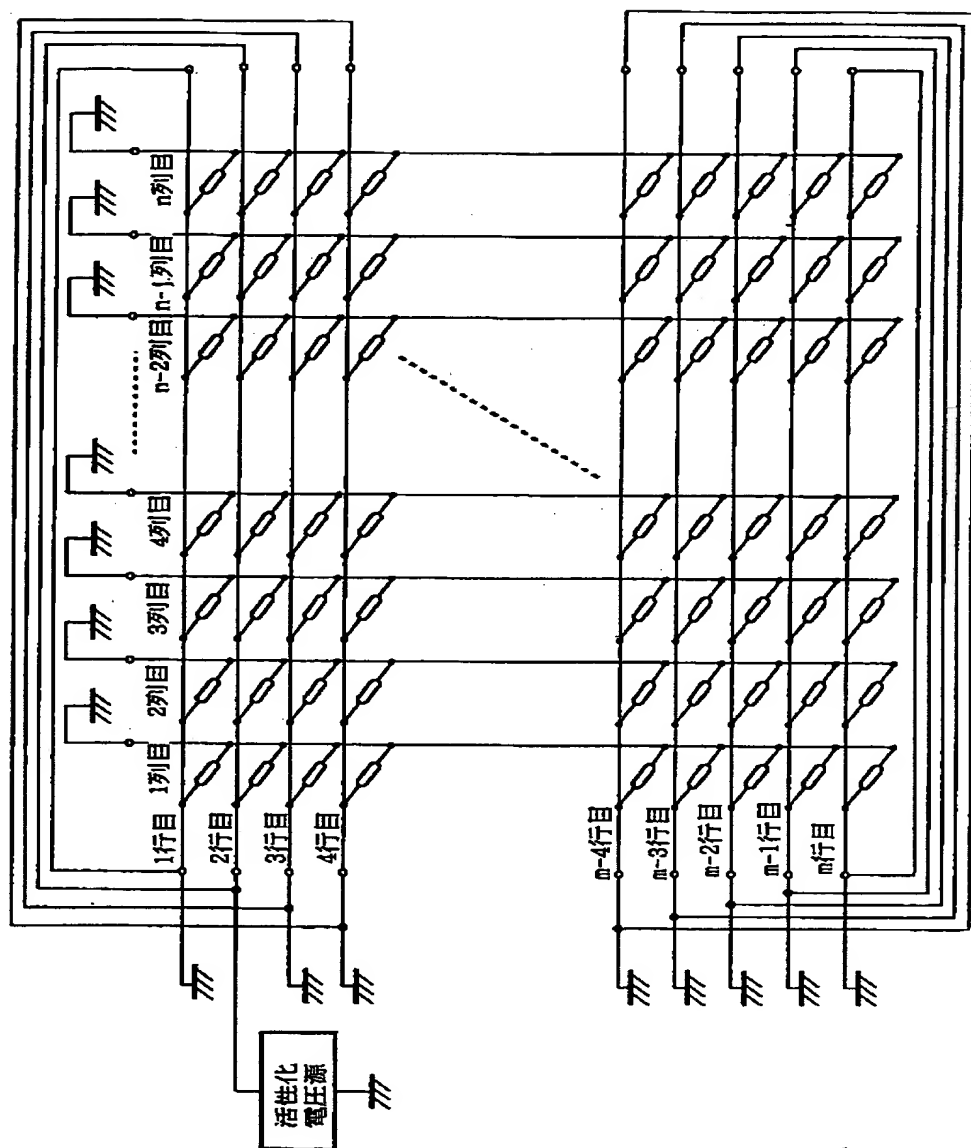
【図 2 4】



【图 2 5】

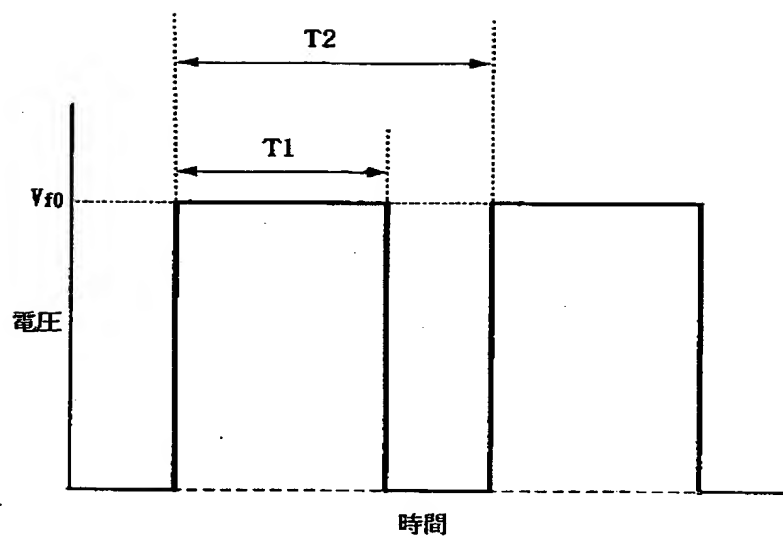


【図 2 6】

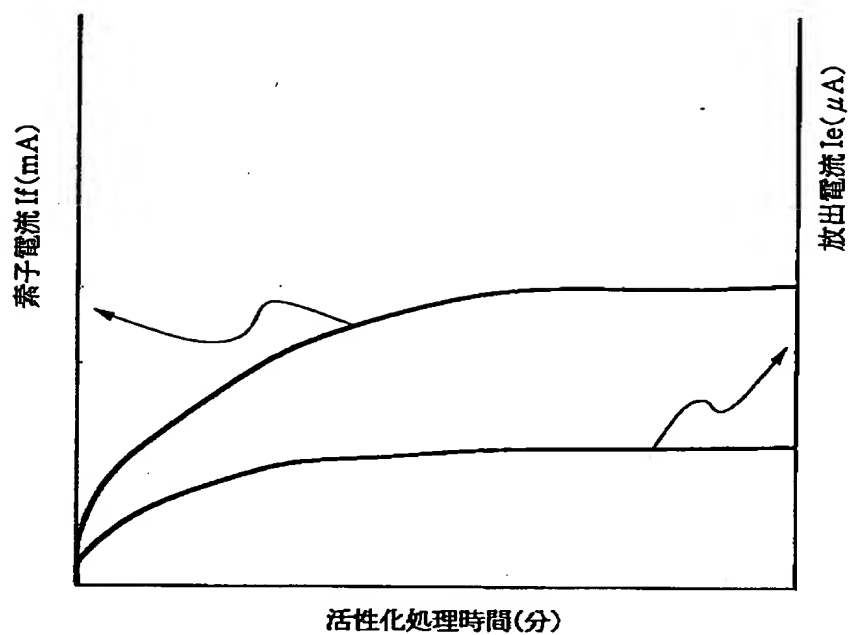




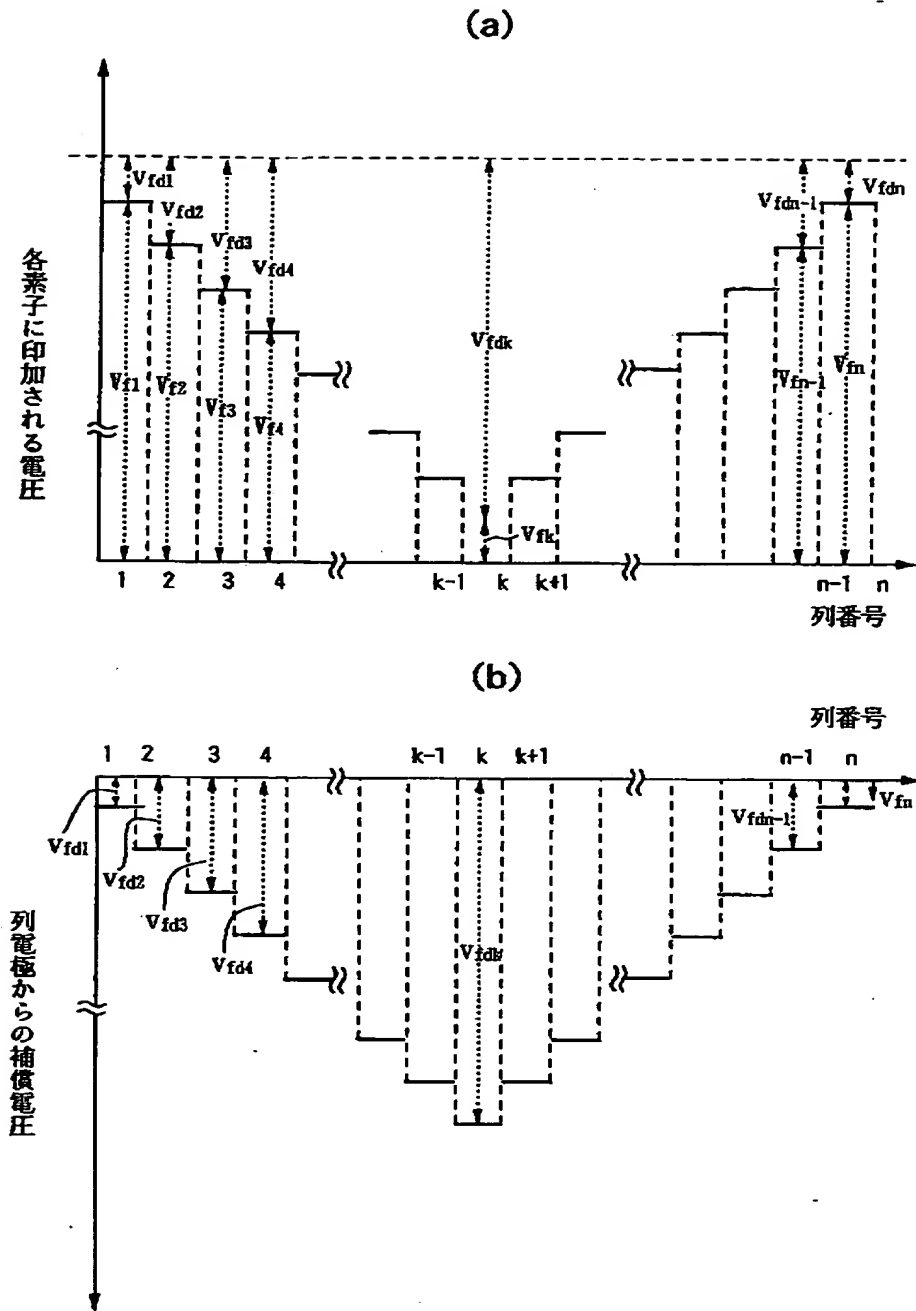
【図 2 7】



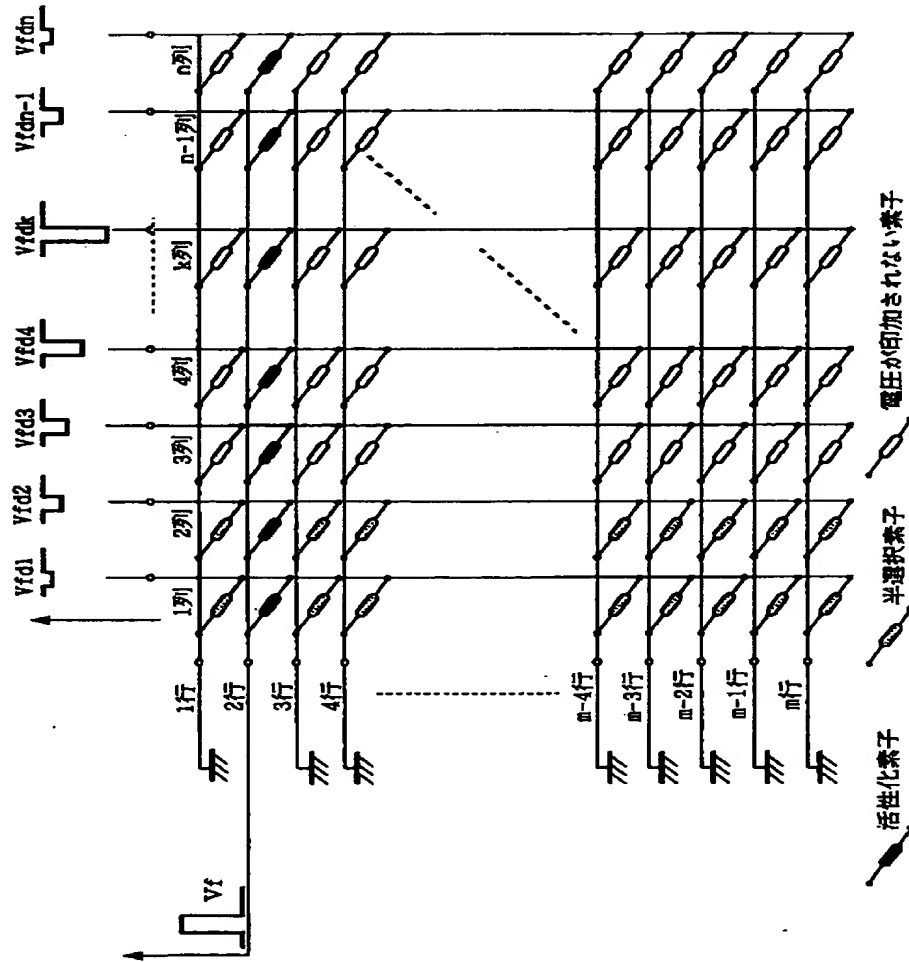
【图 2 8】



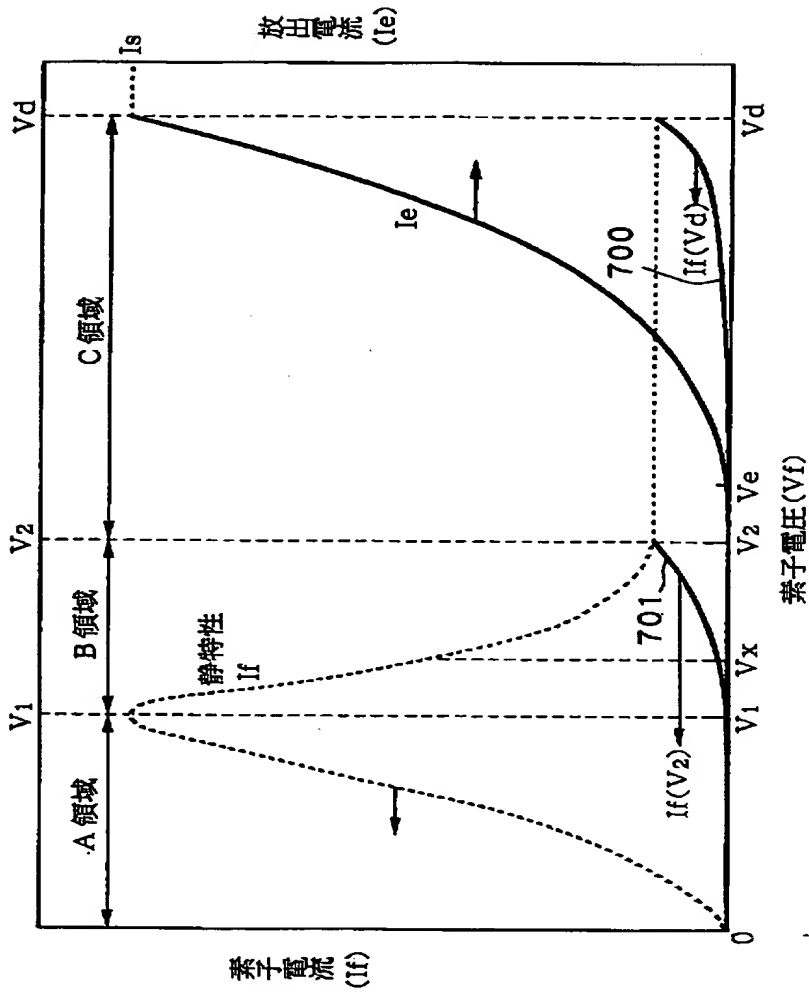
【図 2 9】



【図 3 0】



【図 3 1】



【書類名】 要約書

【要約】

【課題】 複数の電子放出素子を備える電子源の製造時における通電工程において、無効電流を減少させる。

【解決手段】 基板上に、複数の行配線と、複数の列配線と、前記複数の両配線によりマトリクス配線された、ギャップを隔てて配置された一対の導電膜の複数対とを形成する工程と、活性化物質源の存在下で、前記複数の行配線のうち任意の行配線を選択し（S 1）、この選択された行配線に接続されている複数の導電膜対の各々における印加電圧が略一定となるように電圧を印加する第 1 の電圧印加工程（S 4）と、非選択行配線に接続されている複数の導電膜対のうち少なくとも特定の導電膜対に所定の電圧を印加する（S 8）第 2 の電圧印加工程とを有する。

【選択図】 図 8

認定・付加情報

特許出願の番号	平成11年 特許願 第358857号
受付番号	59901232830
書類名	特許願
担当官	第一担当上席 0090
作成日	平成12年 1月 4日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000001007
【住所又は居所】	東京都大田区下丸子3丁目30番2号
【氏名又は名称】	キヤノン株式会社

【代理人】

申請人

【識別番号】	100076428
【住所又は居所】	東京都千代田区紀尾井町3番6号 秀和紀尾井町 パークビル7F 大塚国際特許事務所
【氏名又は名称】	大塚 康德

【選任した代理人】

【識別番号】	100101306
【住所又は居所】	東京都千代田区紀尾井町3番6号 秀和紀尾井町 パークビル7F 大塚国際特許事務所
【氏名又は名称】	丸山 幸雄